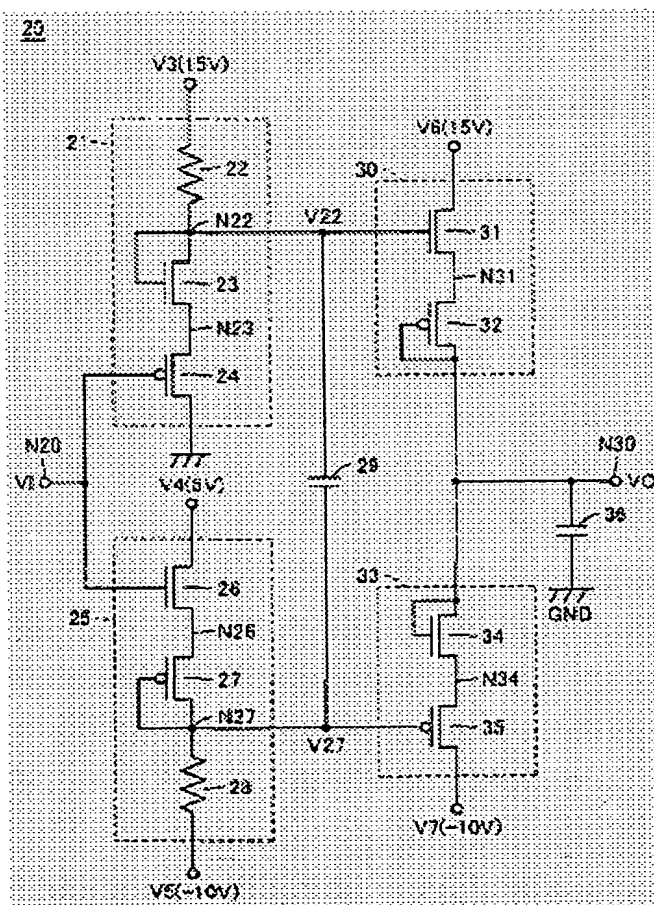


Driver circuit for color liquid crystal display has two level shift circuits, connected together and providing voltage shifts in opposite directions

Patent number: DE10307320
Publication date: 2003-09-04
Inventor: TOBITA YOUICHI (JP)
Applicant: MITSUBISHI ELECTRIC CORP (JP)
Classification:
 - international: H03K19/0185
 - european: H03K19/00P4, H03K19/0185C4
Application number: DE20031007320 20030220
Priority number(s): JP20020043548 20020220; JP20020201519 20020710;
 JP20020325885 20021108

Abstract of DE10307320

A first level shift circuit outputs a potential obtained by shifting the input potential (VI) by a predetermined voltage in one direction. A second level shift circuit (30) outputs a potential obtained by shifting the output from the first level shift circuit by a predetermined voltage in an opposite direction. The first level shift circuit includes a current-limiting element (65) connected to two transistors (24,31).



Data supplied from the esp@cenet database - Worldwide



⑩ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 103 07 320 A 1**

⑥ Int. Cl. 7:
H 03 K 19/0185

⑳ Aktenzeichen: 103 07 320.5
㉑ Anmeldetag: 20. 2. 2003
㉒ Offenlegungstag: 4. 9. 2003

DE 103 07 320 A 1

⑤① Unionspriorität:

02-043548	20. 02. 2002	JP
02-201519	10. 07. 2002	JP
02-325885	08. 11. 2002	JP

⑦① Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦② Vertreter:

Meissner, Bolte & Partner, 80538 München

⑦③ Erfinder:

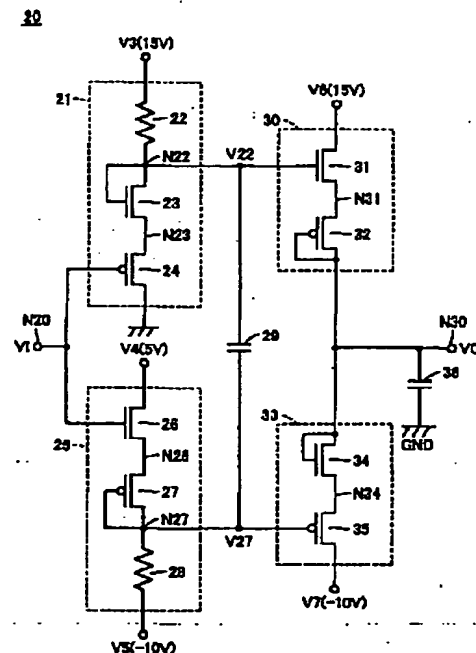
Tobita, Youichi, Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑥④ Treiberschaltung mit niedrigem Stromverbrauch

⑥⑤ Eine Treiberschaltung (20) enthält: Eine erste Pegelverschiebungsschaltung (21), die ein Potential (V22) ausgibt, das um eine vorgegebene Spannung ($|V_{TP}| + V_{TN}$) größer ist als ein Eingangspotential (V1); eine Pull-up-Schaltung (30), die ein Potential (V1), das um eine vorgegebene Spannung ($|V_{TP}| + V_{TN}$) kleiner ist als ein Ausgangspotential (V33) der ersten Pegelverschiebungsschaltung (32), an einen Ausgangsknoten (N30) ausgibt; eine zweite Pegelverschiebungsschaltung (35), die ein Potential (V37) ausgibt, das um eine vorgegebene Spannung ($|V_{TP}| + V_{TN}$) kleiner ist als das Eingangspotential (V1); eine Pull-down-Schaltung (44), die ein Potential (V1) an den Ausgangsknoten (N40) ausgibt, das um die vorgegebene Spannung ($|V_{TP}| + V_{TN}$) größer ist als ein Ausgangspotential (V37) der zweiten Pegelverschiebungsschaltung (35); und einen Kondensator (39), der zwischen Ausgangsknoten (N33, N37) der ersten und der zweiten Pegelverschiebungsschaltung (32, 35) geschaltet ist. In der Folge ist ein Durchfließstrom reduziert.



DE 103 07 320 A 1

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Treiberschaltung, insbesondere eine Treiberschaltung, die ein Potential, das zu einem Eingangspotential korrespondiert, an einen Ausgangsknoten ausgibt.

5 [0002] In eine integrierte Halbleiterschaltungseinrichtung ist eine Treiberschaltung zum Übertragen eines Potentials, das in einer potentialerzeugenden Schaltung mit einer geringen Treiberfähigkeit erzeugt wird, an eine Last eingebaut. Fig. 80 ist ein Schaltplan, der eine Konfiguration einer solchen Treiberschaltung 300 zeigt. In Fig. 80 weist die Treiberschaltung 300 folgendes auf: einen Feldeffekttransistor vom P-Typ (hiernach als P-Transistor bezeichnet) 301 und 302; Feldeffekttransistoren vom N-Typ (hiernach als N-Transistoren bezeichnet) 303 und 304; und eine konstante Strom-

10 quelle 305.
[0003] Die P-Transistoren 301 und 302 sind zwischen einen Knoten bei einem Energieversorgungspotential VCC und einen Knoten N301 bzw. zwischen den Knoten beim Energieversorgungspotential VCC und einen Knoten N302 geschaltet. Die Gates dieser Transistoren sind beide mit dem Knoten N301 verbunden. Die P-Transistoren 301 und 302 stellen eine Stromspiegelschaltung dar. Der N-Transistor 303 ist zwischen den Knoten N301 und einen Knoten N305 geschaltet.
15 Das Gate des Transistors 303 ist mit einem Eingangsknoten N303 verbunden. Der N-Transistor 304 ist zwischen die Knoten N302 und N305 geschaltet. Sein Gate ist mit einem Ausgangsknoten N304 und dem Knoten N302 verbunden. Eine konstante Stromquelle 305 ist zwischen den Knoten N305 und einen Knoten beim Massepotential GND geschaltet, um einen konstanten Strom bereitzustellen.

[0004] Ein Strom mit einem Wert, der mit einem Potential VI am Eingangsknoten N303 korrespondiert, fließt in den
20 N-Transistor 303. Da der N-Transistor 303 und der P-Transistor 301 miteinander in Serie geschaltet sind und die P-Transistoren 301 und 302 eine Stromspiegelschaltung darstellen, fließen Ströme mit dem gleichen Wert durch die Transistoren 301-303. In einem Fall, bei dem das Potential VO am Ausgangsknoten N304 kleiner ist als ein Eingangspotential VI, ist ein Strom, der im N-Transistor N304 fließt, kleiner als derjenige, der durch die Transistoren 301 und 303 fließt, um das Ausgangspotential VO anzuheben. In einem Fall, bei dem das Potential VO am Ausgangsknoten N304 höher ist als das
25 Eingangspotential VI, ist ein Strom, der in dem N-Transistor N304 fließt, größer als derjenige, der durch die Transistoren 301 und 303 fließt, um das Ausgangspotential VO absenken. Dementsprechend gleicht sich das Ausgangspotential VO dem Eingangspotential VI an.

[0005] In einer herkömmlichen Treiberschaltung 300 besteht jedoch ein Problem hohen Stromverbrauchs, da ständig ein konstanter Durchfließstrom von dem Knoten beim Energieversorgungspotential VCC und der konstanten Strom-
30 quelle 305 durch die Transistoren 301-304 in den Knoten beim Massepotential GND fließt.

[0006] Dementsprechend besteht eine Hauptaufgabe der vorliegenden Erfindung darin, eine Treiberschaltung mit niedrigem Stromverbrauch vorzuschlagen.

[0007] Eine Treiberschaltung gemäß der vorliegenden Erfindung beinhaltet eine erste Pegelverschiebungsschaltung, die ein Potential ausgibt, das durch Pegelverschieben eines Eingangspotentials um eine vorgegebene erste Spannung in
35 eine bestimmte Potentialrichtung erhalten wird, und eine zweite Pegelverschiebungsschaltung, die ein Potential an einen Ausgangsknoten ausgibt, das durch Pegelverschieben eines Ausgangspotentials der ersten Pegelverschiebungsschaltung um eine vorgegebene zweite Spannung in eine andere Potentialrichtung, die zu der bestimmten Potentialrichtung entgegengesetzt ist, erhalten wird. Dadurch werden die Durchfließströme der ersten und zweiten Pegelverschiebungsschaltung unterdrückt, um klein zu sein, wodurch der Stromverbrauch reduziert wird.

40 [0008] Die obige und weitere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden durch die folgende detaillierte Beschreibung der vorliegenden Erfindung in Zusammenhang mit den begleitenden Zeichnungen deutlicher.

[0009] Fig. 1 ist ein Blockdiagramm, das eine generelle Konfiguration einer Farb-Flüssigkristallanzeigeneinrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt;

45 [0010] Fig. 2 ist ein Schaltplan, der eine Konfiguration einer Flüssigkristall-Treiberschaltung zeigt, die entsprechend für jede in Fig. 1 gezeigte Flüssigkristallzelle vorgesehen ist;

[0011] Fig. 3 ist ein Blockschaltbild, das einen Hauptteil einer in Fig. 1 gezeigten Horizontalabtastschaltung zeigt;

[0012] Fig. 4 ist ein Schaltplan, der eine Konfiguration einer in Fig. 3 gezeigten Treiberschaltung zeigt;

[0013] Fig. 5 ist ein Schaltplan zur Beschreibung von Arbeitsweisen der in Fig. 4 gezeigten Treiberschaltung;

50 [0014] Fig. 6 ist ein Zeitdiagramm zur Beschreibung von Arbeitsweisen der in Fig. 4 gezeigten Treiberschaltung;

[0015] Fig. 7 ist ein Schaltplan, der eine beispielhafte Modifikation der ersten Ausführungsform zeigt;

[0016] Fig. 8 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der ersten Ausführungsform zeigt;

[0017] Fig. 9 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der ersten Ausführungsform zeigt;

55 [0018] Fig. 10 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung einer Treiberschaltung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung zeigt;

[0019] Fig. 11 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung einer Treiberschaltung gemäß einer dritten Ausführungsform der vorliegenden Erfindung zeigt;

60 [0020] Fig. 12 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung einer Treiberschaltung gemäß einer vierten Ausführungsform der vorliegenden Erfindung zeigt;

[0021] Fig. 13 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung einer Treiberschaltung gemäß einer fünften Ausführungsform der vorliegenden Erfindung zeigt;

[0022] Fig. 14 ist ein Graph zur Beschreibung eines Problems der ersten Ausführungsform;

[0023] Fig. 15 ist ein Schaltplan zur Beschreibung eines Problems der ersten Ausführungsform;

65 [0024] Fig. 16 ist ein Schaltplan zur Beschreibung eines Prinzips einer sechsten Ausführungsform;

[0025] Fig. 17 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung gemäß der sechsten Ausführungsform der vorliegenden Erfindung zeigt;

[0026] Fig. 18 ist ein Schaltplan, der Details der Konfiguration einer in Fig. 17 gezeigten Treiberschaltung zeigt;

- [0027] Fig. 19 ist ein Schaltplan, der eine beispielhafte Modifikation der sechsten Ausführungsform zeigt;
- [0028] Fig. 20 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der sechsten Ausführungsform zeigt;
- [0029] Fig. 21 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der sechsten Ausführungsform zeigt;
- [0030] Fig. 22 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung gemäß einer siebten Ausführungsform der vorliegenden Erfindung zeigt; 5
- [0031] Fig. 23 ist ein Zeitgraph, der Arbeitsweisen der in Fig. 22 gezeigten Treiberschaltung zeigt;
- [0032] Fig. 24 ist ein Schaltplan, der eine beispielhafte Modifikation der siebten Ausführungsform zeigt;
- [0033] Fig. 25 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung gemäß einer achten Ausführungsform der vorliegenden Erfindung zeigt; 10
- [0034] Fig. 26 ist ein Schaltplan, der eine beispielhafte Modifikation der achten Ausführungsform zeigt;
- [0035] Fig. 27 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der achten Ausführungsform zeigt;
- [0036] Fig. 28 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der achten Ausführungsform zeigt;
- [0037] Fig. 29 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der achten Ausführungsform zeigt; 15
- [0038] Fig. 30 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der achten Ausführungsform zeigt;
- [0039] Fig. 31 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung gemäß einer neunten Ausführungsform der vorliegenden Erfindung zeigt; 20
- [0040] Fig. 32 ist ein Zeitgraph, der Arbeitsweisen der in der Fig. 31 gezeigten Treiberschaltung zeigt;
- [0041] Fig. 33 ist ein Schaltplan, der eine beispielhafte Modifikation der neunten Ausführungsform zeigt;
- [0042] Fig. 34 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung gemäß einer zehnten Ausführungsform der vorliegenden Erfindung zeigt;
- [0043] Fig. 35 ist ein Schaltplan, der eine beispielhafte Modifikation der zehnten Ausführungsform zeigt; 25
- [0044] Fig. 36 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung gemäß einer elften Ausführungsform der vorliegenden Erfindung zeigt;
- [0045] Fig. 37 ist ein Schaltplan, der eine Konfiguration der in der Fig. 36 gezeigten Treiberschaltung zeigt;
- [0046] Fig. 38 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer zwölften Ausführungsform der vorliegenden Erfindung zeigt; 30
- [0047] Fig. 39 ist ein Zeitgraph, der Arbeitsweisen der in der Fig. 38 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit zeigt;
- [0048] Fig. 40 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung zeigt;
- [0049] Fig. 41 ist ein Zeitgraph, der Arbeitsweisen der in der Fig. 40 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit zeigt; 35
- [0050] Fig. 42 ist ein weiterer Zeitgraph, der Arbeitsweisen der in der Fig. 40 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit zeigt;
- [0051] Fig. 43 ist ein Schaltplan, der eine beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0052] Fig. 44 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt; 40
- [0053] Fig. 45 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0054] Fig. 46 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0055] Fig. 47 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt; 45
- [0056] Fig. 48 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0057] Fig. 49 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt; 50
- [0058] Fig. 50 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0059] Fig. 51 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0060] Fig. 52 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt; 55
- [0061] Fig. 53 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt;
- [0062] Fig. 54 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der dreizehnten Ausführungsform zeigt; 60
- [0063] Fig. 55 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer vierzehnten Ausführungsform der vorliegenden Erfindung zeigt;
- [0064] Fig. 56 ist ein Zeitgraph, der Arbeitsweisen der in der Fig. 55 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit zeigt;
- [0065] Fig. 57 ist ein weiterer Zeitgraph, der Arbeitsweisen der in der Fig. 55 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit zeigt; 65
- [0066] Fig. 58 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

- [0067] Fig. 59 ist ein Zeitgraph, der Arbeitsweisen der in der Fig. 58 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit zeigt;
- [0068] Fig. 60 ist ein Schaltplan, der einen Hauptteil einer Farb-Flüssigkristallanzeigeneinrichtung gemäß einer sechzehnten Ausführungsform der vorliegenden Erfindung zeigt;
- 5 [0069] Fig. 61 ist ein Schaltplan, der eine Konfiguration einer push-artigen Treiberschaltung zeigt, die in der in der Fig. 60 gezeigten Farb-Flüssigkristallanzeigeneinrichtung enthalten ist;
- [0070] Fig. 62 ist ein Schaltplan, der eine detailliertere Konfiguration der in der Fig. 60 gezeigten push-artigen Treiberschaltung zeigt;
- [0071] Fig. 63 ist ein Schaltplan, der eine beispielhafte Modifikation der sechzehnten Ausführungsform zeigt;
- 10 [0072] Fig. 64 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der sechzehnten Ausführungsform zeigt;
- [0073] Fig. 65 ist ein Schaltplan, der eine Konfiguration einer pull-artigen Treiberschaltung gemäß einer siebzehnten Ausführungsform der vorliegenden Erfindung zeigt;
- [0074] Fig. 66 ist ein Schaltplan, der eine beispielhafte Modifikation der siebzehnten Ausführungsform zeigt;
- [0075] Fig. 67 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung gemäß einer achtzehnten Ausführungsform der vorliegenden Erfindung zeigt;
- 15 [0076] Fig. 68 ist ein Schaltplan, der eine beispielhafte Modifikation der achtzehnten Ausführungsform zeigt;
- [0077] Fig. 69 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der achtzehnten Ausführungsform zeigt;
- [0078] Fig. 70 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der achtzehnten Ausführungsform zeigt;
- 20 [0079] Fig. 71 ist ein Schaltplan, der eine detailliertere Konfiguration der in der Fig. 70 gezeigten Treiberschaltung zeigt;
- [0080] Fig. 72 ist ein Blockschaltbild, das eine Konfiguration einer push-artigen Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer neunzehnten Ausführungsform der vorliegenden Erfindung zeigt;
- [0081] Fig. 73 ist ein Schaltplan, der eine beispielhafte Modifikation der neunzehnten Ausführungsform zeigt;
- 25 [0082] Fig. 74 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer zwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;
- [0083] Fig. 75 ist ein Schaltplan, der eine beispielhafte Modifikation der zwanzigsten Ausführungsform zeigt;
- [0084] Fig. 76 ist ein Schaltplan, der eine weitere beispielhafte Modifikation der zwanzigsten Ausführungsform zeigt;
- [0085] Fig. 77 ist ein Schaltplan, der eine nochmals weitere beispielhafte Modifikation der zwanzigsten Ausführungsform zeigt;
- 30 [0086] Fig. 78 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer einundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;
- [0087] Fig. 79 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit gemäß einer zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt; und
- 35 [0088] Fig. 80 ist ein Schaltplan, der eine Konfiguration einer herkömmlichen Treiberschaltung zeigt.

Zur ersten Ausführungsform

- [0089] Fig. 1 ist ein Blockdiagramm, das eine Konfiguration einer Farb-Flüssigkristallanzeigeneinrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 1 weist die Farb-Flüssigkristallanzeigeneinrichtung folgendes auf: eine Flüssigkristalltafel 1, eine Vertikalabtastschaltung 7 und eine Horizontalabtastschaltung 8. Die Einrichtung ist beispielsweise in ein portables Telefon eingebaut.
- 40 [0090] Die Flüssigkristalltafel 1 beinhaltet eine Mehrzahl von Flüssigkristallzellen 2, die in einer Mehrzahl von Reihen und einer Mehrzahl von Spalten angeordnet sind, Abtastleitungen 4 und gemeinsame Potentialleitungen 5, die für jeweils entsprechende Zeilen vorgesehen sind, und Datenleitungen 6, die für jeweils entsprechende Spalten vorgesehen sind.
- 45 [0091] Die Flüssigkristallzellen 2 sind im Voraus in Gruppen unterteilt worden, die jeweils drei Zellen in jeder Reihe enthalten. Drei Flüssigkristallzellen 2 in jeder Gruppe sind jeweils mit Farbfiltern R, G, B versehen. Die drei Flüssigkristallzellen 2 in jeder Gruppe bilden ein Pixel 3.
- [0092] Jede Flüssigkristallzelle 2 ist mit einer Flüssigkristall-Treiberschaltung 10, wie in Fig. 2 gezeigt, versehen. Die Flüssigkristall-Treiberschaltung 10 beinhaltet einen N-Transistor 11 und einen Kondensator 12. Der N-Transistor 11 ist zwischen der Datenleitung 6 und einer Elektrode 2a der Flüssigkristallzelle 2 geschaltet. Sein Gate ist mit der Abtastleitung 4 verbunden. Der Kondensator 12 ist zwischen die eine Elektrode 2a der Flüssigkristallzelle 2 und die gemeinsame Potentialleitung 5 geschaltet. An die andere Elektrode der Flüssigkristallzelle 2 ist das Treiberpotential VDD angelegt. An die gemeinsame Potentialleitung 5 ist das gemeinsame Potential VSS angelegt.
- 50 [0093] Zurückkehrend zur Fig. 1, wählt die Vertikalabtastschaltung 7 gemäß einem Bildsignal eine Mehrzahl von Abtastleitungen 4 aufeinanderfolgend aus, um die ausgewählte Abtastleitung 4 für eine vorgegebene Zeit in einem ausgewählten Zustand zu halten und um die ausgewählte Abtastleitung 4 auf einen H-Pegel beim ausgewählten Pegel anzuheben. Wenn die Abtastleitung 4 auf den H-Pegel beim ausgewählten Pegel angehoben worden ist, wird der N-Transistor 11 leitend, um die eine Elektrode 2a der Flüssigkristallzelle 2, die mit der Abtastleitung 4 korrespondiert, mit der Datenleitung 6, die zu der Flüssigkristallzelle 2 korrespondiert, zu koppeln.
- 60 [0094] Die Horizontalabtastschaltung 8 wählt entsprechend einem Bildsignal aufeinanderfolgend eine Mehrzahl von Datenleitungen 6 in Partien von beispielsweise zwölf Leitungen aus, und zwar während einer Periode, in der eine Abtastleitung 4 durch die Vertikalabtastschaltung 7 in dem ausgewählten Zustand gehalten wird, und legt ein Abstufungspotential VG an jede der ausgewählten Datenleitungen 6. Eine Lichtaussendung der Flüssigkristallzelle 2 ändert sich gemäß einem Pegel eines Abstufungspotentials VG.
- 65 [0095] Wenn alle Flüssigkristallzellen 2 auf der Flüssigkristalltafel 1 von der Vertikalabtastschaltung 7 und der Horizontalabtastschaltung 8 abgetastet wurden, wird ein Bild auf der Flüssigkristalltafel 1 angezeigt.
- [0096] Fig. 3 ist ein Blockschaltbild, das einen Hauptteil der in der Fig. 1 gezeigten Horizontalabtastschaltung 8 zeigt.

In Fig. 3 beinhaltet die Horizontalabtasterschaltung 8 eine Abstufungspotential-Erzeugungsschaltung 15 und eine Treiberschaltung 20. Es sind Abstufungspotential-Erzeugungsschaltungen 15 und Treiberschaltungen 20 jeweils in einer Anzahl vorgesehen, die durch die Anzahl (in diesem Falle 12) von Datenleitungen 6, die gleichzeitig durch die Horizontalabtasterschaltung 8 ausgewählt werden, gegeben ist.

[0097] Die Abstufungspotential-Erzeugungsschaltung 15 beinhaltet $n + 1$ Widerstandselemente 16.1–16. $n + 1$, wobei n eine natürliche Zahl ist, auf die im folgenden Bezug genommen wird. Die Schaltung 15 ist zwischen einem Knoten bei einem ersten Energieversorgungspotential V_1 (5 V) und einem Knoten bei einem zweiten Energieversorgungspotential V_2 (0 V) in Serie geschaltet, n Schalter 17.1–17. n sind zwischen entsprechenden n Knoten zwischen $n + 1$ Widerstandselementen 16.1–16. $n + 1$ und einem Ausgangsknoten 15a geschaltet.

[0098] Die Potentiale bei n Pegeln treten bei den entsprechenden n Knoten zwischen den $n + 1$ Widerstandselementen 16.1–16. $n + 1$ auf. Die Schalter 17.1–17. n werden durch ein Bilddichtesignal ΦP gesteuert, um zu bewirken, dass nur ein einziger von diesen in einem leitenden Zustand ist. Ein Potential bei einem Potentialpegel von den n Pegeln wird zu dem Ausgangsknoten 15a als Abstufungspotential V_G ausgegeben. Die Treiberschaltung 20 stellt einen Strom für die ausgewählte Datenleitung 6 bereit, so dass die ausgewählte Datenleitung 6 das Abstufungspotential V_G annimmt.

[0099] Fig. 4 ist ein Schaltplan, der die Konfiguration einer Treiberschaltung 20 zeigt. In Fig. 4 enthält die Treiberschaltung 20 Pegelverschiebungsschaltungen 21 und 25, einen Kondensator 29, eine Pull-up-Schaltung 30 und eine Pull-down-Schaltung 33.

[0100] Die Pegelverschiebungsschaltung 21 beinhaltet ein Widerstandselement 22, einen N-Transistor 23 und einen P-Transistor 24 in Serie geschaltet zwischen einem Knoten bei einem dritten Energieversorgungspotential V_3 (15 V) und einem Knoten bei einem Massepotential GND. Das Gate des N-Transistors 23 ist mit seinem Drain-Anschluss (einem Knoten N22) verbunden. Der N-Transistor 23 dient als ein Diodenelement. Das Gate des P-Transistors 24 ist mit einem Eingangsknoten N20 verbunden. Ein Widerstandswert des Widerstandselementes 22 ist auf einen Wert gesetzt, der in hinreichender Weise größer als die Widerstandswerte der Transistoren 23 und 24 in geöffnetem Zustand ist.

[0101] Wenn per Definition ein Potential (Abstufungsknoten) am Eingangsknoten N20 V_1 , eine Schwellenspannung eines P-Transistors V_{TP} und ein Schwellenwert eines N-Transistors V_{TN} ist, dann ist ein Potential V_{23} an der Source (Knoten N23) des P-Transistors 24 und ein Potential V_{22} am Drain-Anschluss (Knoten N22) des N-Transistors 23 jeweils durch die folgenden Formeln (1) und (2) gegeben:

$$V_{23} = V_1 + |V_{TP}| \quad (1)$$

$$V_{22} = V_1 + |V_{TP}| + V_{TN} \quad (2)$$

[0102] Daher gibt die Pegelverschiebungsschaltung 21 das Potential V_{22} aus, das durch Pegelverschiebung des Eingangspotentials V_1 um $|V_{TP}| + V_{TN}$ erhalten wird.

[0103] Die Pegelverschiebungsschaltung 25 beinhaltet einen N-Transistor 26, einen P-Transistor 27 und ein Widerstandselement 28 in Serie geschaltet zwischen einem Knoten bei einem vierten Energieversorgungspotential V_4 (5 V) und einem Knoten bei einem fünften Energieversorgungspotential V_5 (–10 V). Das Gate des N-Transistors 26 ist mit dem Eingangsknoten N20 verbunden. Das Gate des P-Transistors 27 ist mit seinem Drain-Anschluss (Knoten N27) verbunden. Der P-Transistor dient als ein Diodenelement. Ein Widerstandswert des Widerstandselementes 28 ist auf einen Wert gesetzt, der in hinreichender Weise größer ist als die Widerstandswerte der Transistoren 26 und 27 im geöffneten Zustand.

[0104] Ein Potential V_{26} an der Source (Knoten N26) des N-Transistors 26 und ein Potential V_{27} am Drain-Anschluss (Knoten N27) des P-Transistors 27 sind jeweils durch die folgenden Formeln (3) und (4) gegeben:

$$V_{26} = V_1 - V_{TN} \quad (3)$$

$$V_{27} = V_1 - V_{TN} - |V_{TP}| \quad (4)$$

[0105] Daher gibt die Pegelverschiebungsschaltung 25 ein Potential V_{27} aus, das durch Pegelverschiebung des Eingangspotentials V_1 um $-V_{TN} - |V_{TP}|$ erhalten wird.

[0106] Der Kondensator 29 ist zwischen einem Ausgangsknoten N22 der Pegelverschiebungsschaltung 21 und den Ausgangsknoten N27 der Pegelverschiebungsschaltung 25 geschaltet. Der Kondensator 29 überträgt nicht nur eine Änderung im Potential am Knoten N22 an den Knoten N27, sondern auch eine Änderung im Potential am Knoten N27 an den Knoten N22.

[0107] Die Pull-up-Schaltung 30 beinhaltet einen N-Transistor 31 und einen P-Transistor 32 in Serie geschaltet zwischen einem Knoten bei einem sechsten Energieversorgungspotential V_6 (15 V) und einem Ausgangsknoten N30. Eine Lastkapazität (eine parasitäre Kapazität der Datenleitung 6) ist mit dem Ausgangsknoten N30 verbunden. Der N-Transistor 31 erhält das Ausgangspotential V_{22} der Pegelverschiebungsschaltung 21 an seinem Gate. Das Gate des P-Transistors 32 ist mit seinem Drain-Anschluss verbunden. Der P-Transistor 32 dient als Diodenelement. Weil das sechste Energieversorgungspotential V_6 so gewählt ist, dass der N-Transistor 31 im Sättigungsbereich arbeitet, führt der N-Transistor 31 eine sogenannte Source-Follower-Funktion durch.

[0108] Nunmehr wird für Zwecke der Einfachheit der Beschreibung angenommen, dass der Drain-Anschluss (Knoten N30) des P-Transistors 32 und der Ausgangsknoten N30 zwischen sich nicht leitend sind, wie in Fig. 5 gezeigt. Ein Potential V_{31} an der Source (Knoten N31) des N-Transistors 31 und ein Potential V_{30} am Drain-Anschluss (Knoten N30) des P-Transistors 32 sind jeweils durch die folgenden Formeln (5) und (6) gegeben:

$$V_{31} = V_{22} - V_{TN} = V_1 + |V_{TP}| \quad (5)$$

$$V30' = V31 - |VTP| = VI \quad (6)$$

[0109] Zurückkehrend zu Fig. 4 beinhaltet die Pull-down-Schaltung 33 einen P-Transistor 35 und einen N-Transistor 34 in Serie geschaltet zwischen einem Knoten bei einem siebenten Energieversorgungspotential $V7$ (-10 V) und den Ausgangsknoten N30. Der P-Transistor 35 erhält ein Ausgangspotential $V27$ der Pegelverschiebungsschaltung 25 an seinem Gate. Das Gate des N-Transistors 34 ist mit seinem Drain-Anschluss verbunden. Der N-Transistor 34 dient als ein Diodenelement. Weil das siebente Energieversorgungspotential $V7$ so gewählt ist, dass der P-Transistor 35 im Sättigungsbe-

reich arbeitet, führt der P-Transistor 35 eine sogenannte Source-Follower-Funktion durch.
[0110] Nunmehr wird für Zwecke der Einfachheit der Beschreibung angenommen, dass der Drain-Anschluss (Knoten N30') des P-Transistors 34 und der Ausgangsknoten N30 zwischen sich nicht leitend sind, wie in Fig. 5 gezeigt. Ein Potential $V34$ an der Source (Knoten N34) des P-Transistors 35 und ein Potential $V30''$ am Drain-Anschluss (Knoten N30'') des N-Transistors 34 sind jeweils durch die folgenden Formeln (7) und (8) gegeben:

$$V34 = V27 + |VTP| = VI - VTN \quad (7)$$

$$V30'' = V34 + VTN = VI \quad (8)$$

[0111] Die Formeln (7) und (8) zeigen, dass sogar dann, wenn der Drain-Anschluss (Knoten N30') des P-Transistors 32 und der Drain-Anschluss (Knoten N30'') des N-Transistors 34 miteinander verbunden sind, kein Strom zwischen den Knoten beim sechsten Energieversorgungspotential $V6$ und dem Knoten beim siebten Energieversorgungspotential $V7$ fließt. Die Potentiale VO am Ausgangsknoten N30 und VI am Eingangsknoten N20 sind einander gleich. Daher ist ein Durchfließstrom in einem stationären Zustand, bei dem VO gleich VI ist, extrem klein, wenn die Widerstandswerte der Widerstandselemente 22 und 28 hinreichend groß gewählt sind.

[0112] Fig. 6 ist ein Zeitgraph zur Beschreibung einer AC-Arbeitsweise (einer Arbeitsweise während eines Übergangszustandes) der Treiberschaltung 20. In Fig. 6 wird angenommen, dass in einem anfänglichen Zustand $VI = VL$ ist. Bei solch einer Bedingung sind die Werte von $V22$, $V27$ und VO jeweils durch die folgenden Formeln gegeben:

$$V22 = VL + |VTP| + VTN$$

$$V27 = VL - |VTP| - VTN$$

$$VO = VL$$

[0113] Wenn VI zu einem Zeitpunkt $t1$ von VL auf VH angehoben wird, sind, nachdem eine vorgegebene Zeit vergangen ist, $V22$, $V27$ und VO jeweils durch die folgenden Formeln gegeben:

$$V22 = VH + |VTP| + VTN$$

$$V27 = VH - |VTP| - VTN$$

$$VO = VH$$

[0114] Die folgenden Funktionen werden während der Pegeländerung durchgeführt: In der Pegelverschiebungsschaltung 25 nimmt, wenn zum Zeitpunkt $t1$ das Eingangspotential VI von VL nach VH angehoben wird, eine Treiberfähigkeit des N-Transistors 26 zu, um das Potential $V26$ am Knoten N26 rasch anzuheben. Mit dem raschen Anstieg des Potentials $V26$ nimmt eine Source-zu-Gate-Spannung des P-Transistors 27 zu, um eine Treiberfähigkeit des P-Transistors 27 zu verbessern und um hierdurch das Potential aus $V27$ am Knoten N27 rasch anzuheben.

[0115] Bei einem raschen Anstieg des Potentials $V27$ am Knoten N27 steigt über die Kapazität 29 mittels kapazitiver Kopplung das Potential $V22$ am Knoten N22 rasch um $VH - VL$. In Reaktion hierauf steigt auch das Potential VO am Ausgangsknoten N30 von VL nach VH rasch an.

[0116] Wenn zu einem Zeitpunkt $t2$ das Eingangspotential VI von VH auf VL fällt, nimmt eine Treiberfähigkeit des P-Transistors 24 zu, um das Potential $V23$ am Knoten N23 rasch absenken. Bei rascher Abnahme des Potentials $V23$ nimmt eine Gate-zu-Source-Spannung des N-Transistors 23 zu, um eine Treiberfähigkeit des N-Transistors 23 zu verbessern und um hierdurch das Potential $V22$ am Knoten N22 rasch abzusinken.

[0117] Mit dem raschen Abfall des Potentials $V22$ am Knoten N22 fällt durch die Kapazität 26 mittels kapazitiver Kopplung das Potential $V27$ am Knoten N27 rasch um $VH - VL$. In Reaktion hierauf fällt auch das Potential VO am Ausgangsknoten N30 rasch von VH auf VL ab.

[0118] In der ersten Ausführungsform können Durchlassströme reduziert werden, da in einem stationären Zustand kein Durchfließstrom in der Pull-up-Schaltung 30 und der Pull-down-Schaltung 33 fließt und da die Durchfließströme auch in den Pegelverschiebungsschaltungen 21 und 25 reduziert werden können, indem Widerstandswerte der Widerstandselemente 22 und 26 auf einen Wert gesetzt werden, der in hinreichender Weise größer ist als die Widerstandswerte der Transistoren 23, 24, 26 und 27 im geöffneten Zustand. Weiterhin kann eine schnelle Antwort auf eine Änderung im Eingangspotential VI dadurch sichergestellt werden, dass zusätzlich der Kondensator 26 vorgesehen wird.

[0119] Im folgenden werden verschiedene beispielhafte Modifikationen beschrieben. Eine Treiberschaltung 36 in Fig. 7 stellt eine Konfiguration dar, die durch die Entfernung des Kondensators 29 aus der Treiberschaltung 20 der Fig. 4 erhalten wird. In einem Fall, bei dem ein kapazitiver Wert der Lastschaltung 36 vergleichsweise klein ist, können die Abmessungen der Transistoren 23, 24, 26, 27, 31, 32, 34 und 35 reduziert werden. Bei geringeren Abmessungen der Transistoren 23, 27, 31 und 35 nehmen die Kapazitätswerte der Gates der Transistoren 23, 27, 31 und 35 ab, um die parasiti-

ren Widerstände der Knoten N22 und N27 zu reduzieren.

[0120] Daher ist es sogar ohne Kondensator 29 möglich, die Potentiale V22 und V27 an den jeweiligen Knoten N22 und N27 anzuheben oder abzusenken, nämlich durch Laden oder Entladen, was über die Widerstandselemente 22 und 28 durchgeführt wird. In dieser beispielhaften Modifikation wird eine geringere Belegungsfläche der Schaltung realisiert, da der Kondensator 29 entfernt ist.

[0121] Eine Treiberschaltung 37 der Fig. 8 stellt eine Konfiguration dar, die durch Entfernung der Transistoren 23, 27, 32 und 34 jeweils in Diodenverbindung aus der Treiberschaltung 20 der Fig. 4 erhalten wird. Für das Ausgangspotential gilt $V_O = V_I + |V_{TP}| - V_{TN}$. Wenn $|V_{TR}| \approx V_{TN}$ gewählt ist, dann gilt $V_O \approx V_I$. Alternativ kann, sofern ein Wert von $|V_{TR}| - V_{TN}$ als ein Offsetwert während der Verwendung betrachtet wird, die Schaltung in gleicher Weise wie die Treiberschaltung 20 der Fig. 4 verwendet werden.

[0122] In dieser beispielhaften Modifikation kann eine kleinere Belegungsfläche der Schaltung realisiert werden, da aufgrund der Entfernung der Transistoren 23, 27, 32 und 34 diese nicht vorliegen.

[0123] Eine Treiberschaltung 38 der Fig. 9 stellt eine Konfiguration dar, die erhalten wird, in dem weiterhin der Kondensator 29 aus der Treiberschaltung 37 der Fig. 8 entfernt wird. In einem Falle, bei dem der kapazitive Wert der Lastkapazität 36 vergleichsweise klein ist, können die Abmessungen der Transistoren 24, 26, 31 und 35 reduziert werden, um hierdurch die parasitäre Kapazität der Knoten N22 und N27 verkleinern zu können. Hierdurch wird eine Zunahme und Abnahme in den Potentialen V22 und V27 an den Knoten N22 und N27 sogar ohne den Kondensator 29 ermöglicht, indem Ladung und Entladung durch die Widerstandselemente 22 und 28 durchgeführt werden. In dieser beispielhaften Modifikation kann eine geringere Belegungsfläche der Schaltung realisiert werden, da der Kondensator 29 aufgrund seiner Entfernung nicht vorhanden ist.

Zur zweiten Ausführungsform

[0124] Während in der ersten Ausführungsform angenommen wird, dass alle Transistoren mit der gleichen Polarität die gleiche Schwellenspannung aufweisen, tritt tatsächlich in einigen Fällen eine Variation in den Schwellenspannungen der jeweiligen Transistoren auf, die durch Fluktuationen in den Parametern der Produktionsbedingungen hervorgerufen wird. Bei einer Variation in den erzeugten Schwellenspannungen wird $V_I = V_O$ nicht erzielt. In der zweiten Ausführungsform ist dieses Problem zu lösen.

[0125] Fig. 10 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung 40 einer Treiberschaltung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung zeigt, der mit der Pegelverschiebungsschaltung 21 der Fig. 4 verglichen wird. Unter Bezugnahme auf Fig. 10 unterscheidet sich die Pegelverschiebungsschaltung 40 von der Pegelverschiebungsschaltung 21 der Fig. 4 darin, dass der N-Transistor 23 und der P-Transistor 24 durch Sicherungen 41.1–41.m, wobei m eine natürliche Zahl ist, N-Transistoren 42.0–42.m und P-Transistoren 43.0–43.m ersetzt werden.

[0126] Die Sicherungen 41.1–41.m sind alle aus Aluminiumdrähten oder dergleichen ausgebildet, die verwendet werden, um Transistoren untereinander zu verbinden. Jeweils eine Elektrode der Sicherungen 41.1–41.m ist bei allen mit dem Knoten N22 verbunden. Die Summe der Gatebreiten der N-Transistoren 42.0–42.m ist so gewählt, dass sie gleich groß ist wie die Gatebreite des N-Transistors 23 der Fig. 4. Das Gate und der Drain-Anschluss des N-Transistors 42.0 ist mit dem Knoten N22 verbunden. Die Gates und die Drain-Anschlüsse der N-Transistoren 42.1–42.m sind mit den jeweiligen anderen Elektroden der Sicherungen 41.1 bis 41.m verbunden. Die N-Transistoren 42.0 bis 42.m dienen alle als ein Diodenelement.

[0127] Die Summe der Gatebreiten der P-Transistoren 43.0–43.m ist so gewählt, dass sie gleich groß ist wie die Gatebreite des P-Transistors 24 der Fig. 4. Die P-Transistoren 43.0–43.m sind zwischen die entsprechenden Sources der N-Transistoren 42.0–42.m und den Knoten beim Massepotential GND geschaltet und alle empfangen die Eingangsspannung V_I an ihren Gates.

[0128] Wie in der ersten Ausführungsform beschrieben, wird das Potential V22 am Knoten N22 nahezu durch die Schwellenspannungen der Transistoren 42.0–42.m und 43.0–43.m bestimmt. Weil allerdings ein Widerstandswert zwischen dem Knoten N22 und dem Knoten beim Massepotential GND relativ zu einem Widerstandswert des Widerstandselementes 22 zunimmt, nimmt das Potential V22 am Knoten N22 in Reaktion auf eine Zunahme im Widerstandswert leicht zu. Daher kann das Potential V22 am Knoten N22 durch Trennen einer geeigneten Anzahl von Sicherungen aus den Sicherungen 41.1–41.m mit Laserlicht leicht zunehmen. Sogar in einem Falle, bei dem der absolute Wert eines Schwellenwertes jedes der Transistoren 42.0–42.m und 43.0–43.m kleiner ist als ein Auslegungswert, kann das Potential V22 am Knoten N22 korrigiert werden.

[0129] Es ist festzustellen, dass, obwohl in der zweiten Ausführungsform sowohl der N-Transistor 23 als auch der P-Transistor 24 in $m + 1$ Teile unterteilt ist, ebenso nur einer, entweder der N-Transistor 23 oder der P-Transistor 24, in $m + 1$ Teile unterteilt werden kann oder nur einer der beiden Transistoren 23 und 24 in $m + 1$ Teile unterteilt werden kann und der andere in, beispielsweise, zwei Teile. Konkret können die Sources der P-Transistoren 43.1–43.m der Fig. 10 kurzgeschlossen werden, um einen P-Transistor auszubilden. Weiterhin ist es denkbar, dass nicht nur die Sicherungen 41.1–41.m zwischen die jeweiligen Sources der N-Transistoren 42.1–42.m und die entsprechenden Sources der P-Transistoren 43.1–43.m geschaltet werden, sondern die Sources der N-Transistoren 42.1–42.m können ebenfalls kurzgeschlossen werden, um einen N-Transistor auszubilden.

Zur dritten Ausführungsform

[0130] Fig. 11 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung 45 einer Treiberschaltung gemäß einer dritten Ausführungsform der vorliegenden Erfindung zeigt, die mit der Pegelverschiebungsschaltung 25 der Fig. 4 verglichen wird. Unter Bezugnahme auf Fig. 11 unterscheidet sich die Pegelverschiebungsschaltung 45 von der Pegelverschiebungsschaltung 25 der Fig. 4 darin, dass die N-Transistoren 26 und P-Transistoren 27 mit Sicherungen

46.1-46.m, N-Transistoren 47.0-47.m und P-Transistoren 48.0-48.m ersetzt werden.

[0131] Die Sicherungen 46.1-46.m sind alle aus Aluminiumdrähten oder dergleichen ausgebildet, die zur gegenseitigen Verbindung von Transistoren untereinander verwendet werden. Jeweils eine Elektrode der Sicherungen 46.1-46.m ist stets mit einem Knoten beim vierten Energieversorgungspotential V4 verbunden.

5 [0132] Die Summe der Gate-Weiten der N-Transistoren 47.0-47.m wird so gewählt, dass sie zu der Gate-Weite des N-Transistors 26 der Fig. 4 gleich ist. Der Drain-Anschluss des N-Transistors 47.0 ist mit dem Knoten der vierten Energieversorgungsspannung V4 verbunden. Der N-Transistor 47.0 erhält hierüber das Eingangspotential V1 an seinem Gate. Die Drain-Anschlüsse der N-Transistoren 47.1-47.m sind zu den jeweiligen anderen Elektroden der Sicherungen 46.1-46.m verbunden. Die N-Transistoren 47.1-47.m empfangen alle das Eingangspotential V1 an ihren Gates.

10 [0133] Die Summe der Gatebreiten der P-Transistoren 48.0-48.m ist so gewählt, dass sie zu einer Gatebreite des P-Transistors 27 in Fig. 4 gleich ist. Die P-Transistoren 48.0-48.m sind zwischen die jeweiligen Sources der N-Transistoren 47.0-47.m und den Knoten N27 geschaltet und alle ihre Gates sind mit dem Knoten N27 verbunden. Die P-Transistoren 48.0-48.m dienen alle als ein Diodelement.

[0134] Wie in der ersten Ausführungsform beschrieben, wird das Potential V27 am Knoten N27 nahezu durch die Schwellenspannungen der Transistoren 47.0-47.m und 48.0-48.m bestimmt. Weil jedoch ein Widerstandswert zwischen dem Knoten beim vierten Energieversorgungspotential V4 und dem Knoten N27 relativ zu einem Widerstandswert des Widerstandselements 28 zunimmt, fällt das Potential V27 am Knoten N27 in Reaktion auf eine Zunahme in dem Widerstandswert leicht. Daher kann durch Trennung einer geeigneten Anzahl von Sicherungen von den Sicherungen 46.1-46.m mittels Laserlicht das Potential V27 am Knoten N27 leicht abgesenkt werden. Sogar in einem Falle, bei dem der Absolutwert jedes der Transistoren 47.0-47.m und 48.0-48.m kleiner ist als ein Auslegungswert, kann ein Potential V27 am Knoten N27 korrigiert werden.

[0135] Es ist zu bemerken, dass, während in der dritten Ausführungsform sowohl der N-Transistor 26 als auch der P-Transistor 27 in m+1 Teile unterteilt ist, nur einer, d. h. entweder der N-Transistor 26 oder der P-Transistor 27, in m+1 Teile unterteilt werden kann oder einer von dem N-Transistor 26 und dem P-Transistor 27 wird in m+1 Teile unterteilt und der andere wird in, beispielsweise, zwei Teile unterteilt. Konkret können die Sources der P-Transistoren 48.1-48.m der Fig. 11 kurzgeschlossen werden, um einen P-Transistor zu bilden. Weiterhin ist es denkbar, dass nicht nur die Sicherungen 41.1-41.m zwischen die jeweiligen Sources der N-Transistoren 47.1-47.m und die entsprechenden Sources der P-Transistoren 48.1-48.m geschaltet werden, sondern auch die Sources der N-Transistoren 47.1-47.m kurzgeschlossen werden, um einen N-Transistor auszubilden.

30 [0136] Weiterhin können selbstverständlich die zweiten und dritten Ausführungsformen kombiniert werden und die Pegelverschiebungsschaltungen 21 und 25 der Fig. 4 werden durch die entsprechenden Pegelverschiebungsschaltungen 40 und 45 ersetzt.

Zur vierten Ausführungsform

35 [0137] Fig. 12 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung 50 einer Treiberschaltung gemäß einer vierten Ausführungsform der vorliegenden Erfindung zeigt, der mit der Pegelverschiebungsschaltung 21 der Fig. 4 verglichen wird.

[0138] Unter Bezugnahme auf Fig. 12 unterscheidet sich die Pegelverschiebungsschaltung 50 von der Pegelverschiebungsschaltung 21 der Fig. 4 darin, dass das Widerstandselement 22 durch Widerstandselemente 51.0-51.i und Sicherungen 52.1-52.i ersetzt wird, wobei i eine natürliche Zahl ist.

[0139] Die Summe der Widerstandswerte der Widerstandselemente 51.0-51.i wird so gewählt, dass sie nahezu einem Widerstandswert des Widerstandselements 22 der Fig. 4 gleicht. Die Widerstandselemente 51.0-51.i werden in Serie zwischen einen Knoten beim dritten Energieversorgungspotential V3 und den Knoten N22 geschaltet.

45 [0140] Die Sicherungen 52.1-52.i sind alle aus Aluminiumdrähten oder dergleichen gebildet, wie sie zur gegenseitigen Verbindung von Transistoren untereinander verwendet werden. Die Sicherungen 52.1-52.i sind zu entsprechenden Widerstandselementen 51.1-51.i parallelgeschaltet.

[0141] Wie in der ersten Ausführungsform beschrieben, wird das Potential V22 am Knoten N22 nahezu durch die Schwellenspannungen der Transistoren 23 und 24 bestimmt. Weil jedoch ein Widerstandswert zwischen den Knoten beim dritten Energieversorgungspotential V3 und dem Knoten N22 relativ zu Widerstandswerten der Widerstandselemente 23 und 24 in geöffnetem Zustand zunimmt, fällt das Potential V22 am Knoten N22 in Reaktion auf eine Zunahme in dem Widerstandswert leicht. Daher kann durch Trennung einer geeigneten Anzahl von Sicherungen von den Sicherungen 52.1-52.i mittels Laserlicht das Potential V22 am Knoten N22 leicht abgesenkt werden. Sogar in einem Falle, bei dem der absolute Wert jedes der Schwellenwerte der Transistoren 23 und 24 höher ist als ein Auslegungswert, kann ein Potential V22 am Knoten N22 korrigiert werden.

Zur fünften Ausführungsform

60 [0142] Fig. 13 ist ein Schaltplan, der eine Konfiguration einer Pegelverschiebungsschaltung 55 einer Treiberschaltung gemäß einer fünften Ausführungsform der vorliegenden Erfindung zeigt, der mit der Pegelverschiebungsschaltung 25 der Fig. 4 verglichen wird. Unter Bezugnahme auf Fig. 13 unterscheidet sich die Pegelverschiebungsschaltung 55 von der Pegelverschiebungsschaltung 25 der Fig. 4 darin, dass das Widerstandselement 28 durch Widerstandselemente 56.0-56.i und Sicherungen 57.1-57.i ersetzt ist.

[0143] Die Summe der Widerstandswerte der Widerstandselemente 56.0-56.i ist so gewählt, dass sie nahezu einem Widerstandswert des Widerstandselements 28 der Fig. 4 gleich ist. Die Widerstandselemente 56.0-56.i sind in Serie zwischen den Knoten N27 und einen Knoten beim fünften Energieversorgungspotential V5 geschaltet.

65 [0144] Die Sicherungen 57.1-57.i sind alle aus Aluminiumdrähten oder dergleichen ausgebildet, wie sie in der gegenseitigen Verbindung von Transistoren untereinander verwendet werden. Die Sicherungen 57.1-57.i sind parallel zu ent-

sprechenden Widerstandselementen 56.1-56.i geschaltet.

[0145] Wie für die erste Ausführungsform beschrieben, ist das Potential V27 am Knoten N27 nahezu durch die Schwellenspannungen der Transistoren 26 und 27 bestimmt. Da jedoch ein Widerstandswert zwischen dem Knoten N27 und dem Knoten beim fünften Energieversorgungspotential V5 relativ zu einem Widerstandswert der Widerstandselemente 26 und 27 in geöffnetem Zustand zunimmt, nimmt das Potential V22 am Knoten N22 in Reaktion auf eine Zunahme in dem Widerstandswert leicht zu. Daher kann durch Trennung einer geeigneten Anzahl von Sicherungen von den Sicherungen 57.1-57.i mittels Laserlicht das Potential V27 am Knoten N27 leicht erhöht werden. Sogar in einem Fall, bei dem der Absolutwert jedes der Schwellenwerte der Transistoren 26 und 27 größer ist als ein Auslegungswert, kann ein Potential V27 am Knoten N27 korrigiert werden.

[0146] Darüberhinaus kann selbstverständlich die vierte und die fünfte Ausführungsform kombiniert werden und Pegelverschiebungsschaltungen 21 und 25 der Fig. 4 werden ersetzt durch die entsprechenden Pegelverschiebungsschaltungen 50 und 55.

[0147] In den oben beschriebenen ersten bis fünften Ausführungsformen, können die Feldeffekttransistoren MOS-Transistoren oder TFTs ("Thin Film Transistors") sein. Widerstandselemente können aus einem Metall mit einem hohen Schmelzpunkt gefertigt sein, können mit einer Schicht, die durch Eindiffundieren von Fremdatomen hergestellt ist, oder Feldeffekttransistoren hergestellt sein, um eine Belegungsfläche zu oder Feldeffekttransistoren hergestellt sein, um eine Belegungsfläche zu reduzieren. Selbstverständlich werden die oben beschriebenen Treiberschaltungen, in einer Flüssigkristallanzeigeneinrichtung oder dergleichen, nicht nur zur Übertragung eines Abstufungspotentials verwendet, sondern ebenso auch als ein analoger Puffer, der ein Potential an einem Ausgangsknoten steuert, so dass das Ausgangspotential das gleiche ist wie ein Eingangsanalogpotential.

Zur sechsten Ausführungsform

[0148] Für ein Charakteristikum einer Treiberschaltung ist es ein Idealzustand, dass, wie in einer charakteristischen Linie der Fig. 14, das Eingangspotential VI und das Ausgangspotential VO einander gleich sind. Die Charakteristika der in den ersten bis fünften Ausführungsformen gezeigten Treiberschaltungen sind so, wie durch eine charakteristische Linie B der Fig. 14 gezeigt, wobei eine Differenz Δ zwischen einem idealen Wert und dem tatsächlichen Wert von VO mit einer Zunahme in VI zunimmt.

[0149] Der Grund hierfür liegt darin, dass in der in Fig. 15 gezeigten Pegelverschiebungsschaltung 21' dann, wenn per Definition ein Widerstandswert des Widerstandselementes 22 R ist, ein Stromwert, der in dem Widerstandselement 22 und dem P-Transistor 24 fließt, i ist und ein Stromverstärkungsfaktor des P-Transistors 24 β ist, die folgenden Formeln (9) und (10) gelten:

$$V22 = VDD - Ri \quad (9)$$

$$i = (VI - VTP - V22)^2 \beta / 2, \quad (10)$$

wobei dann, wenn $R\beta/2 = K$ ist, V22 durch eine folgende Formel gegeben ist:

$$V22 = VI - VTP + \frac{1}{2K} - \frac{1}{2K} \sqrt{4K(VDD + VI - VTP) + 1} \quad (11)$$

[0150] Es ergibt sich aus der Formel (11), dass mit einer Zunahme in VI eine Differenz zwischen einem idealen Wert von V22, VI - VTP, und einem tatsächlichen Wert zunimmt. Daher nimmt eine Differenz zwischen einem idealen Wert von V4 und einem tatsächlichen Wert mit einer Zunahme in VI zu.

[0151] Um dieses Problem zu lösen, wird in der sechsten Ausführungsform, wie in Fig. 16 gezeigt, ein Widerstandselement 22 durch eine konstante Stromquelle 62 ersetzt. In einer Pegelverschiebungsschaltung der Fig. 16 gilt die folgende Formel (12):

$$i = (VI - VTP - V22)^2 \beta / 2 \quad (12)$$

[0152] Die folgende Formel (13) kann aus der Formel (12) hergeleitet werden:

$$V22 = VI - VTP - \sqrt{2i/\beta} \quad (13)$$

[0153] Daher ist in der Pegelverschiebungsschaltung der Fig. 16 eine Differenz zwischen einem idealen Wert VI - VTP und einem tatsächlichen Wert von V22 konstant, unabhängig von VI. Weiterhin wird es durch Wahl eines Wertes von β zu einem Wert, der in ausreichender Weise größer ist als ein konstanter Stromwert i, möglich, dass VO ungefähr gleich zu einem idealen Wert VI - VTP ist. Die Treiberschaltung 60 der sechsten Ausführungsform wird unten konkret beschrieben.

[0154] Fig. 17 ist ein Schaltplan, der eine Konfiguration der Treiberschaltung 60 gemäß der sechsten Ausführungsform der vorliegenden Erfindung zeigt. Unter Bezugnahme auf Fig. 17 unterscheidet sich die Treiberschaltung 60 von der Treiberschaltung 20 der Fig. 4 darin, dass Pegelverschiebungsschaltungen 21 und 25 mit entsprechenden Pegelverschiebungsschaltungen 61 und 63 ersetzt werden. Die Pegelverschiebungsschaltung 61 weist eine Konfiguration auf, die durch Ersetzen des Widerstandselementes 22 der Pegelverschiebungsschaltung 21 mit einer konstanten Stromquelle 62 erhalten wird. Die Pegelverschiebungsschaltung 63 weist eine Konfiguration auf, die durch Ersetzen des Widerstandselementes 28 der Pegelverschiebungsschaltung 25 mit einer konstanten Stromquelle 64 erhalten wird.

[0155] Die konstante Stromquelle 62, wie in Fig. 18 beschrieben, enthält P-Transistoren 65 und 66 und ein Wider-

standselement 67. Der P-Transistor 65 ist zwischen eine Leitung bei der dritten Energieversorgungsspannung V3 und den Knoten N22 geschaltet. Der P-Transistor 66 und das Widerstandselement 67 sind in Serie zwischen die Leitung beim dritten Energieversorgungspotential V3 und eine Leitung beim Massepotential GND geschaltet. Die Gates der P-Transistoren 65 und 66 sind beide mit dem Drain-Anschluss des P-Transistors 66 verbunden. Die P-Transistoren 65 und 66 stellen eine Stromspiegelschaltung dar. Ein konstanter Strom, der zu einem Widerstandswert des Widerstandselementes 67 korrespondiert, fließt in dem P-Transistor 66 und Widerstandselement 67. Ein konstanter Strom, der zu einem Wert eines konstanten Stromes, der in dem P-Transistor 66 fließt, korrespondiert, fließt in dem P-Transistor 65. Es ist festzustellen, dass, während eine Elektrode des Widerstandselementes 67 mit einer Leitung beim Massepotential GND verbunden ist, diese eine Elektrode des Widerstandselementes 67 mit einer Leitung verbunden sein kann, an das ein anderes Energieversorgungspotential anliegt, das niedriger ist als ein Potential, das durch Subtraktion des absoluten Wertes $|V_{TP}|$ einer Schwellenspannung des P-Transistors 66 von dem dritten Energieversorgungspotential V3 erhalten wird. Weiterhin ist ein Transistor vom Verarmungstyp, in dem das Gate mit der Source verbunden ist, zwischen der Leitung bei einem dritten Energieversorgungspotential V3 und dem Knoten N22 anstelle der Transistoren 65 und 66 und des Widerstandselementes 67 als eine konstante Stromquelle vorgesehen.

[0156] Die konstante Stromquelle 64 beinhaltet ein Widerstandselement 68 und N-Transistoren 69 und 70. Das Widerstandselement 68 und der N-Transistor 69 sind in Serie zwischen einer Leitung bei einem vierten Energieversorgungspotential V4 und einer Leitung bei einem fünften Energieversorgungspotential V5 geschaltet. Der N-Transistor 70 ist zwischen den Knoten N27 und die Leitung bei dem fünften Energieversorgungspotential V5 geschaltet. Die Gates der N-Transistoren 69 und 70 sind beide mit dem Drain-Anschluss des N-Transistors 69 verbunden. Die N-Transistoren 69 und 70 stellen eine Stromspiegelschaltung dar. Ein konstanter Strom mit einem Wert, der zu einem Widerstandswert des Widerstandselementes 68 korrespondiert, fließt in dem Widerstandselement 68 und dem N-Transistor 69. Ein konstanter Strom mit einem Wert, der zu einem Wert eines konstanten Stromes, der durch den N-Transistor 69 fließt, korrespondiert, fließt in dem N-Transistor 70. Es ist anzumerken, dass, während eine Elektrode des Widerstandselementes 68 mit dem vierten Energieversorgungspotential V4 verbunden ist, diese eine Elektrode des Widerstandselementes 68 mit einer Leitung bei einem anderen Energieversorgungspotential verbunden werden kann, das höher ist als ein Potential, das durch Addition einer Schwellenspannung V_{TN} des N-Transistors 69 zu dem fünften Energieversorgungspotential V5 erhalten wird. Ein Transistor vom Verarmungstyp, in dem das Gate mit der Source verbunden ist, kann zwischen der Leitung bei dem fünften Energieversorgungspotential V5 und dem Knoten N27 anstelle der Transistoren 69 und 70 und des Widerstandselementes 68 als eine konstante Stromquelle vorgesehen werden. Da die anderen Teile der Konfiguration und der darin ablaufenden Arbeitsweisen die gleichen sind wie entsprechende Teile der Konfiguration und der darin ablaufenden Arbeitsweisen der Treiberschaltung 20 der Fig. 4, wird keine der diesbezüglichen Beschreibungen wiederholt.

[0157] Da in der sechsten Ausführungsform die Widerstandselemente 22 und 28 der Treiberschaltung 20 der Fig. 4 durch die entsprechenden konstanten Stromquellen 62 und 64 ersetzt sind, kann erreicht werden, dass das Ausgangspotential VO dem Eingangspotential VI ohne Rücksicht auf das Eingangspotential VI gleich ist.

[0158] Verschiedene beispielhafte Modifikationen der sechsten Ausführungsform werden nunmehr beschrieben. Eine Treiberschaltung 71 der Fig. 19 weist eine Konfiguration auf, die durch die Entfernung des Kondensators 29 aus der Treiberschaltung 60 der Fig. 18 erhalten wird. Diese beispielhafte Modifikation ist nützlich in einem Fall, bei dem ein kapazitiver Wert der Lastkapazität 36 vergleichsweise gering ist. In diesem Beispiel ist der Belegungsfläche der Schaltung reduziert, da der Kondensator 29 aufgrund seiner Entfernung nicht vorhanden ist.

[0159] Eine Treiberschaltung 72 der Fig. 20 weist eine Konfiguration auf, die durch Entfernung der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung 60 der Fig. 18 erhalten wird. In dieser beispielhaften Modifikation kann die Belegungsfläche der Schaltung reduziert werden, da die Transistoren 23, 27, 32 und 34 aufgrund ihrer Entfernung nicht vorhanden sind. Das Ausgangspotential ist $VO = VI + |V_{TP}| - V_{TN}$.

[0160] Eine Treiberschaltung 73 der Fig. 21 weist eine Konfiguration auf, die durch Entfernung des Kondensators 29 aus der Treiberschaltung 72 der Fig. 20 erhalten wird. Diese beispielhafte Modifikation ist nützlich in einem Fall, bei dem ein kapazitiver Wert der Lastkapazität 36 vergleichsweise klein ist. In dieser beispielhaften Modifikation ist die Belegungsfläche der Schaltung reduziert, da der Kondensator 29 aufgrund seiner Entfernung nicht vorhanden ist.

Zur siebten Ausführungsform

[0161] In der Treiberschaltung 20 der Fig. 4 führen dann, wenn beispielsweise die Lastkapazität 36 geladen oder entladen wird, die Transistoren 31, 32, 34 und 35 jeweils eine sogenannte Source-Follower-Funktion durch. Zu diesem Zeitpunkt sind dann, wenn das Ausgangspotential VO sich dem Eingangspotential VI nähert, die Gate-zu-Source-Spannungen der Transistoren 31, 32, 34 und 35 reduziert, um hierdurch die Stromtreiberfähigkeiten der Transistoren 31, 32, 34 und 35 zu absenken. Die Reduzierung in den Stromtreiberfähigkeiten der Transistoren 32 und 34 kann durch Vergrößerung ihrer Gatebreiten verhindert werden, während Vergrößerungen in den Gatebreiten der Transistoren 31 und 35 eine Zunahme in der Gatekapazität mit sich bringen, was zu einer Abnahme der Arbeitsgeschwindigkeit der Treiberschaltung 20 führt. In der siebten Ausführungsform ist dieses Problem zu lösen.

[0162] Fig. 22 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 75 gemäß einer siebten Ausführungsform der vorliegenden Erfindung zeigt. Unter Bezugnahme auf Fig. 22 weist die Treiberschaltung 75 eine Konfiguration auf, die durch Hinzufügen der Kondensatoren 76 und 77 zu der Treiberschaltung 71 der Fig. 19 erhalten wird. Eine Elektrode des Kondensators 76 erhält ein Spannungserhöhungssignal ΦB und die andere Elektrode des Kondensators 76 ist mit dem Knoten N22 verbunden. Eine Elektrode des Kondensators 77 erhält ein zum Spannungserhöhungssignal ΦB komplementäres Signal $\overline{\Phi B}$ und die andere Elektrode des Kondensators 77 ist mit dem Knoten N27 verbunden.

[0163] Fig. 23 ist ein Zeitgraph, der Arbeitsweisen der in Fig. 22 gezeigten Treiberschaltung 75 zeigt. In Fig. 23 sind die Übergangszeiten der Potentiale V22 und V27 an den entsprechenden Knoten N22 und N27 und des Ausgangspotentials VO gezeigt länger dargestellt, als sie tatsächlich sind, um das Verständnis der Arbeitsweisen zu erleichtern. Wenn zu einem Zeitpunkt t1 das Eingangspotential VI von einem L-Pegel VL auf einen H-Pegel VH erhöht wird, nehmen die Po-

tentiale V22, V27 und VO graduell zu. Wie oben beschrieben, nimmt jedes der Potentiale V22, V27 und VO relativ schnell in einem Zyklus zu, bei dem das Potential wechself, aber die Geschwindigkeit der Zunahme verlangsamt sich bei einem Punkt, der näher zu dem endgültigen Pegel liegt.

[0164] Zu einem Zeitpunkt t_2 , bei dem eine vorgegebene Zeit seit dem Zeitpunkt t_1 vergangen ist, wird nicht nur das Spannungserhöhungssignal ΦB auf den H-Pegel angehoben, sondern ebenso wird das Signal ΦB auf den L-Pegel abgesenkt. Wenn das Signal ΦB auf den H-Pegel angehoben wird, wird das Potential V22 am Knoten N22 durch den Kondensator 76 mittels kapazitiver Kopplung um eine vorgegebene Spannung ΔV_1 erhöht. Wenn das Signal ΦB auf den L-Pegel erniedrigt wird, wird das Potential V27 am Knoten N27 durch den Kondensator 77 mittels kapazitiver Kopplung um eine vorgegebene Spannung ΔV_2 abgesenkt. Zu diesem Zeitpunkt führt die Treiberschaltung 75 eine Arbeitsweise aus, um VH beim H-Pegel an den Ausgangsknoten N30 auszugeben. Weil ein Widerstandswert des N-Transistors 31 im geöffneten Zustand kleiner ist als derjenige des P-Transistors 35 ist eine Pegelerhöhungswirkung durch V22 stärker als eine Pegelabsenkungswirkung durch V27, um das Ausgangspotential VO ab dem Zeitpunkt t_2 rasch zu erhöhen (während in einem Fall, bei dem die Spannung V22 nicht erhöht wird, das Ausgangspotential VO sich so verhält, wie es mit einer durchbrochenen Linie gezeigt ist).

[0165] Ein Strom fließt aus dem Knoten N22 durch Transistoren 23 und 24 zu einer Leitung beim Massepotential GND, um hierdurch das erhöhte Potential V22 auf $VI + IVTP + VTN$ abzusenken. Der Knoten 27 erhält einen einfließenden Strom von einer Leitung beim vierten Energieversorgungspotential V4 durch die Transistoren 26 und 27, um hierdurch das abgesenkte Potential V27 auf $VI - IVTP - VTN$ anzuheben.

[0166] Zum Zeitpunkt t_3 ist nicht nur das Spannungserhöhungssignal ΦB auf den L-Pegel abgesenkt, sondern ebenso ist das Signal ΦB auf den H-Pegel angehoben. Wenn das Signal ΦB auf den L-Pegel fällt, wird das Potential V22 am Knoten N22 durch den Kondensator 76 mittels kapazitiver Kopplung um die vorgegebene Spannung ΔV_1 abgesenkt. Wenn das Signal ΦB auf den H-Pegel angehoben wird, wird das Potential V27 am Knoten N27 durch den Kondensator 77 mittels kapazitiver Kopplung um die vorgegebene Spannung ΔV_2 angehoben. Sogar wenn V22 um ΔV_1 fällt, hat die Pull-up-Schaltung 30 nicht die Fähigkeit, das Ausgangspotential VO abzusenken. Sogar wenn V27 um ΔV_2 steigt, hat die Pull-down-Schaltung 33 nicht die Fähigkeit, das Ausgangspotential VO zu erhöhen, so dass keine Änderung im Ausgangspotential VO auftritt.

[0167] Ein Strom fließt von einer Leitung beim dritten Energieversorgungspotential V3 in den Knoten N22 durch den P-Transistor 65, um hierdurch das abgesenkte Potential V22 auf $VI + IVTP + VTN$ zu erhöhen. Da eine Strom-Treiberfähigkeit des P-Transistors 65 für geringen Stromverbrauch gering gewählt ist, dauert jedoch eine Zeit, die erforderlich ist, um das Potential V22 am Knoten N22 auf einen Pegel $VI + IVTP + VTN$ in einem stationären Zustand anzuheben, länger als eine Zeit, die erforderlich ist, um das Potential V22 auf den Pegel $VI + IVTP + VTN$ fallen zu lassen.

[0168] Ein Strom fließt aus dem Knoten N27 zu einer Leitung bei einem fünften Energieversorgungspotential V5 durch den N-Transistor 70, um hierdurch das erhöhte Potential V27 auf $VI - VTN - IVTP$ abzusenken. Weil eine Stromtreiberfähigkeit des N-Transistors für niedrigen Stromverbrauch gering gewählt ist, dauert jedoch eine Zeit, die erforderlich ist, um das Potential V27 am Knoten 27 auf einen Pegel $VI - VTN - IVTP$ in einem stationären Zustand abfallen zu lassen, länger als eine Zeit, die erforderlich ist, um das Potential V27 auf einen Pegel $VI - VTN - IVTP$ steigen zu lassen.

[0169] Wenn sodann zu einem Zeitpunkt t_4 das Eingangspotential VI von dem H-Pegel VH auf den L-Pegel VL gefallen ist, fallen die Potentiale V22, V27 und V4 graduell. Jedes der Potentiale V22, V27 und V4 fällt relativ rasch in der Anfangsphase einer Potentialänderung, aber eine Abfallgeschwindigkeit verlangsamt sich zu einem Zeitpunkt näher dem endgültigen Pegel.

[0170] Zum Zeitpunkt t_5 , wenn eine vorgegebene Zeit seit dem Zeitpunkt t_4 vergangen ist, wird nicht nur das Spannungserhöhungssignal ΦB auf den H-Pegel angehoben, sondern auch das Signal ΦB wird auf den L-Pegel abgesenkt. Wenn das Signal ΦB auf den H-Pegel erhöht wird, wird das Potential V22 am Knoten N22 durch den Kondensator 76 mittels kapazitiver Kopplung um die vorgegebene Spannung ΔV_1 erhöht. Wenn das Signal ΦB auf den L-Pegel abgesenkt wird, wird das Potential V27 am Knoten N27 durch den Kondensator 77 mittels kapazitiver Kopplung um die vorgegebene Spannung ΔV_2 erniedrigt. Zu diesem Zeitpunkt führt die Treiberschaltung 75 eine Funktion durch, um VL beim L-Pegel an den Ausgangsknoten N30 auszugeben. Weil ein Widerstandswert des P-Transistors 35 im geöffneten Zustand kleiner ist als derjenige des N-Transistors 31, ist eine Pegelabsenkungswirkung um V27 stärker als eine Pegelerhöhungswirkung um V22, um das Ausgangspotential VO zum Zeitpunkt t_5 schnell abzusenken (während in einem Fall, bei dem V27 nicht abgesenkt ist, das Ausgangspotential VO sich verhält wie mit einer durchbrochenen Linie gezeigt).

[0171] Ein Strom fließt von einem Knoten N22 zu einer Leitung bei einem Massepotential GND durch Transistoren 23 und 24, um hierdurch das erhöhte Potential V22 auf $VI + IVTP + VTN$ abzusenken. Das abgesenkte Potential V27 erhält einfließenden Strom von einer Leitung bei einem vierten Energieversorgungspotential V4 zu dem Knoten N27 durch die Transistoren 26 und 27, um hierdurch das abgesenkte Potential V27 auf $VI - IVTP - VTN$ zu erhöhen.

[0172] Zum Zeitpunkt t_6 ist nicht nur das Spannungserhöhungssignal ΦB auf den L-Pegel abgesenkt, sondern ebenso ist das Signal ΦB auf den H-Pegel angehoben. Wenn das Signal ΦB auf den L-Pegel fällt, wird das Potential V22 am Knoten N22 durch den Kondensator 76 mittels kapazitiver Kopplung um die vorgegebene Spannung ΔV_1 abgesenkt. Wenn das Signal ΦB auf den H-Pegel angehoben wird, wird das Potential V27 am Knoten N27 durch den Kondensator 77 mittels kapazitiver Kopplung um die vorgegebene Spannung ΔV_2 angehoben. Sogar wenn V22 um ΔV_1 fällt, hat die Pull-up-Schaltung 30 nicht die Fähigkeit, das Ausgangspotential VO abzusenken. Sogar wenn V27 um ΔV_2 steigt, hat der Pull-down-Schaltkreis 33 nicht die Fähigkeit, das Ausgangspotential VO zu erhöhen. Daher tritt keine Änderung im Ausgangspotential VO auf.

[0173] Ein Strom fließt von einer Leitung bei einem dritten Energieversorgungspotential V3 durch den P-Transistor 65 zum Knoten N22, um hierdurch das abgesenkte Potential V22 auf $VI + IVTP + VTN$ anzuheben. Weil eine Stromtreiberfähigkeit des P-Transistors 65 für niedrigen Stromverbrauch klein gewählt wird, dauert jedoch eine Zeit, die erforderlich ist, um das Potential V22 am Knoten N22 auf einen Pegel $VI + IVTP + VTN$ im stationären Zustand anzuheben, länger als eine Zeit, die für das Potential V22 erforderlich ist, um auf den Pegel $VI + IVTP + VTN$ zu fallen.

[0174] Ein Strom fließt vom Knoten N27 zu einer Leitung bei einem fünften Energieversorgungspotential V5 durch den N-Transistor 70, um hierdurch das angehobene Potential V27 auf $VI - VTN - IVTP$ abzusinken. Weil eine Stromtreiberfähigkeit des N-Transistors 70 für niedrigen Stromverbrauch klein gewählt ist, dauert jedoch eine Zeit, die erforderlich ist, um das Potential V27 am Knoten N27 auf einen Pegel $VI - VTN - IVTP$ im stationären Zustand anzuheben, länger als eine Zeit, die für das Potential V22 erforderlich ist, um auf den Pegel $VI - VTN - IVTP$ anzusteigen.

[0175] Da in der siebten Ausführungsform das Potential V22 am Knoten N22 auf ein Potential erhöht wird, das höher ist als das Potential $VI + IVTP + VTN$, welches das Potential V22 am Knoten N22 in einem stationären Zustand in Reaktion auf eine Zunahme des Eingangspotentials VI vom L-Pegel auf den H-Pegel erreichen sollte, kann die Anstiegsgeschwindigkeit des Ausgangspotentials VO erhöht werden. Da weiterhin das Potential V27 am Knoten N27 auf ein Potential abgesenkt wird, welches niedriger ist als das Potential $VI - VTN - IVTP$, welches das Potential V27 am Knoten N27 in einem stationären Zustand in Reaktion auf einen Abfall im Eingangspotential VI vom H-Pegel auf den L-Pegel erreichen sollte, kann die Abfallgeschwindigkeit des Ausgangspotentials VO erhöht werden. Dementsprechend kann die Antwortgeschwindigkeit der Treiberschaltung 75 erhöht werden.

[0176] Fig. 24 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 78 gemäß einer beispielhaften Modifikation der siebten Ausführungsform zeigt. Die Treiberschaltung 78 weist eine Konfiguration auf, die durch die Entfernung der Transistoren 23, 27, 32 und 34 aus der Treiberschaltung 75 der Fig. 22 erhalten wird. In dieser beispielhaften Modifikation ist die Belegungsfläche der Schaltung reduziert, da die Transistoren 23, 27, 32 und 34 aufgrund ihrer Entfernung nicht vorhanden sind, während das Ausgangspotential $VO = VI + VTP - IVTP$ ist.

Achte Ausführungsform

[0177] Fig. 25 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 80 gemäß einer achten Ausführungsform der vorliegenden Erfindung zeigt. Unter Bezugnahme auf Fig. 25 weist die Treiberschaltung 80 eine Konfiguration auf, die durch Hinzufügen eines P-Transistors 81 und eines N-Transistors 82 zu der Treiberschaltung 71 der Fig. 19 erhalten wird. Der P-Transistor 81 ist zwischen einer Leitung bei dem dritten Energieversorgungspotential V3 und Knoten N22 geschaltet und erhält ein Pull-up-Signal ΦP an seinem Gate. Der N-Transistor 82 ist zwischen den Knoten N27 und eine Leitung bei dem fünften Energieversorgungspotential V5 geschaltet und erhält ein zu dem Pull-up-Signal ΦP komplementäres Signal $\Phi \bar{P}$ an seinem Gate.

[0178] Die Signale ΦP und $\Phi \bar{P}$ erhalten eine Pegeländerung zu Zeitpunkten, die zu denjenigen der Signale ΦB und $\Phi \bar{B}$ gleich sind, die in der siebten Ausführungsform gezeigt sind. D. h., wenn eine vorgegebene Zeit vergangen ist, nachdem das Eingangssignal VI von VL beim L-Pegel auf VH beim H-Pegel erhöht worden ist, werden die Signale ΦP und $\Phi \bar{P}$ impulsartig auf die L- bzw. H-Pegel getrieben, um zu bewirken, dass der P-Transistor 81 und der N-Transistor 82 impulsartig leitend werden. Dadurch wird das Potential V22 am Knoten N22 auf ein Potential erhöht, das erhalten wird, indem das dritte Energieversorgungspotential V3 über den Transistor 81 und ein Paar von Transistoren 23 und 24 aufgeteilt wird, um danach einen vorgegebenen Wert $VI + IVTP + VTN$ zu erreichen. Weiterhin wird das Potential V27 am Knoten N27 auf ein Potential abgesenkt, das erhalten wird, indem eine Spannung V4-V5 zwischen dem vierten Energieversorgungspotential V4 und dem fünften Energieversorgungspotential V5 über einem Paar von Transistoren 26 und 27 und dem Transistor 82 aufgeteilt wird, um hiernach einem vorgegebenen Wert $VI - VTN - IVTP$ zu erreichen. Wie in der siebten Ausführungsform beschrieben, bewirkt zu diesem Zeitpunkt eine Ladungswirkung durch den N-Transistor 31, stärker als eine Entladungswirkung durch den P-Transistor 35, dass das Ausgangspotential VO rasch dem Eingangspotential VI gleich wird. Wenn das Eingangspotential VI von VH beim H-Pegel auf VL beim L-Pegel abgesenkt wird, ist eine Entladungswirkung des P-Transistors 35 stärker als eine Ladungswirkung des N-Transistors 31, um zu bewirken, dass das Ausgangspotential VO rasch dem Eingangspotential VI gleich wird.

[0179] In der achten Ausführungsform können dieselben Effekte wie auch in der siebten Ausführungsform erhalten werden.

[0180] Verschiedene beispielhafte Modifikationen der achten Ausführungsform werden nunmehr beschrieben. Eine Treiberschaltung 86 der Fig. 26 weist eine Konfiguration auf, die durch Entfernen der N-Transistoren 23 und 34 und der P-Transistoren 27 und 32 aus der Treiberschaltung 80 der Fig. 25 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert, weil die Transistoren 23, 27, 32 und 34 aufgrund ihrer Entfernung nicht vorhanden sind, während das Ausgangspotential $VO = VI + IVTP - VTN$ ist.

[0181] Die Treiberschaltung 85 der Fig. 27 weist eine Konfiguration auf, die durch Hinzufügen eines N-Transistors 86 und eines P-Transistors 87 zu der Treiberschaltung 80 der Fig. 25 erhalten wird. Der N-Transistor 86 ist zwischen die Source des P-Transistors 24 und eine Leitung beim Massepotential GND geschaltet und erhält ein Pull-up-Signal ΦP an seinem Gate. Der P-Transistor 87 ist zwischen eine Leitung bei einem vierten Energieversorgungspotential V4 und dem Drain-Anschluss des N-Transistors 26 geschaltet und erhält ein zum Pull-up-Signal ΦP komplementäres Signal $\Phi \bar{P}$ an seinem Gate. In dieser beispielhaften Modifikation kann es verhindert werden, dass ein Durchfließstrom in eine Leitung beim Massepotential GND von einer Leitung bei dem dritten Energieversorgungspotential V3 durch die Transistoren 81, 23, 24 und 86 fließt, weil der N-Transistor 86 nicht leitend wird, wenn der P-Transistor 81 leitend ist. Da weiterhin der P-Transistor 87 nicht leitend wird, wenn der N-Transistor 82 leitend ist, kann es verhindert werden, dass ein Durchfließstrom in eine Leitung bei dem fünften Energieversorgungspotential V4 von einer Leitung bei dem vierten Energieversorgungspotential durch die Transistoren 87, 26, 27 und 82 fließt. Daher ist der Stromverbrauch in den Schaltungen 61 und 63 reduziert.

[0182] Eine Treiberschaltung 88 der Fig. 28 weist eine Konfiguration auf, die durch Entfernen der N-Transistoren 23 und 34 und der P-Transistoren 27 und 32 aus der Treiberschaltung 85 der Fig. 27 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert, weil die Transistoren 23, 27, 32 und 34 aufgrund ihrer Entfernung nicht vorhanden sind, während das Ausgangspotential $VO = VI + IVTP - VTN$ ist.

[0183] Eine Treiberschaltung 90 der Fig. 29 weist eine Konfiguration auf, in der nicht nur anstelle des Massepotentials GND das Signal ΦP zu der Source des P-Transistors 24 der Treiberschaltung 80 der Fig. 25 gegeben ist, sondern auch

das Signal Φ_P an den Drain-Anschluss des N-Transistors anstelle des vierten Energieversorgungspotentials V_4 gegeben ist. In dieser beispielhaften Modifikation kann es verhindert werden, dass ein Durchfließstrom durch die Transistoren 81, 23 und 24 fließt, weil der Drain-Anschluss des P-Transistors 24 auf den H-Pegel getrieben ist, wenn der P-Transistor 24 leitend ist. Weiterhin kann es verhindert werden, dass ein Durchfließstrom durch die Transistoren 26, 27 und 82 fließt, weil der Drain-Anschluss des N-Transistors 26 auf den L-Pegel getrieben wird, wenn der N-Transistor 82 leitend ist. Daher kann der Stromverbrauch der Schaltungen 61 und 63 reduziert werden.

[0184] Eine Treiberschaltung 91 der Fig. 30 weist eine Konfiguration auf, die durch die Entfernung der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung 90 in der Fig. 29 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert, weil die Transistoren 23, 27, 32 und 34 aufgrund ihrer Entfernung nicht vorliegen, während das Ausgangspotential $VO = VI + IV_{TPI} - V_{TN}$ ist.

Zur neunten Ausführungsform

[0185] Fig. 31 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 95 gemäß einer neunten Ausführungsform der vorliegenden Erfindung zeigt. Unter Bezugnahme auf Fig. 31 unterscheidet sich die Treiberschaltung 95 von der Treiberschaltung 75 der Fig. 22 darin, dass die Pegelverschiebungsschaltungen 61 und 63 durch entsprechende Pegelverschiebungsschaltungen 96 und 102 ersetzt sind.

[0186] Die Pegelverschiebungsschaltung 96 weist eine Konfiguration auf, die durch Hinzufügung der P-Transistoren 97 und 98 und N-Transistoren 99 bis 101 zu der Pegelverschiebungsschaltung 61 erhalten wird. Der P-Transistor 97, die N-Transistoren 99 und 100 und der P-Transistor 98 sind in Serie zwischen eine Leitung beim dritten Energieversorgungspotential V_3 und eine Leitung beim Massepotential GND geschaltet. Der N-Transistor 101 ist zwischen eine Leitung beim dritten Energieversorgungspotential V_3 und den Knoten N22 geschaltet. Das Gate des P-Transistors 97 ist mit dem Gate des P-Transistors 66 verbunden. Daher fließt ein konstanter Strom mit einem Wert, der zu einem Wert eines konstanten Stromes, der in dem P-Transistor 66 fließt, korrespondiert, durch die Transistoren 97, 99, 100 und 98. Die Gates der N-Transistoren 99 und 100 sind mit ihren jeweiligen Drain-Anschlüssen verbunden. Jeder der N-Transistoren 99 und 100 arbeitet als eine Diode. Der P-Transistor 98 erhält das Eingangspotential VI an seinem Gate. Ein Potential V_{99} an einem Knoten zwischen den Transistoren 97 und 99 ist $V_{99} = VI + IV_{TPI} + 2V_{TN}$. V_{99} wird an das Gate des N-Transistors 101 gegeben. Der N-Transistor 101 lädt den Knoten N22 auf $V_{99} - V_{TN} = VI + IV_{TPI} + V_{TN}$.

[0187] Die Pegelverschiebungsschaltung 102 weist eine Konfiguration auf, die durch Hinzufügen der N-Transistoren 103 und 104 und P-Transistoren 105 bis 107 zu der Pegelverschiebungsschaltung 63 erhalten wird. Der N-Transistor 103, die P-Transistoren 105 und 106 und der N-Transistor 104 sind in Serie zwischen eine Leitung bei dem vierten Energieversorgungspotential V_4 und eine Leitung beim fünften Energieversorgungspotential V_5 geschaltet. Der P-Transistor 107 ist zwischen den Knoten N27 und eine Leitung beim fünften Energieversorgungspotential V_5 geschaltet. Der N-Transistor 103 erhält das Eingangspotential VI an seinem Gate. Die Gates der P-Transistoren 105 und 106 sind mit ihren jeweiligen Drain-Anschlüssen verbunden. Die P-Transistoren 105 und 106 arbeiten jeweils als eine Diode. Das Gate des N-Transistors 104 ist mit dem Gate des N-Transistors 69 verbunden. Ein konstanter Strom mit einem Wert, der zu einem Wert eines konstanten Stromes, der in dem N-Transistor 69 fließt, korrespondiert, fließt in den N-Transistor 104. Ein Potential V_{106} an einem Knoten zwischen den MOS-Transistoren 106 und 104 ist $V_{106} = VI - V_{TN} - 2IV_{TPI}$. V_{106} wird an das Gate des P-Transistors 107 gegeben. Der P-Transistor 107 entlädt den Knoten N27 auf $V_{106} - IV_{TPI} = VI - V_{TN} - IV_{TPI}$. Weil die anderen Teile der Konfiguration und der in darin durchgeführten Arbeitsweisen die gleichen sind wie diejenigen in der Treiberschaltung 75 der Fig. 22, wird keine der entsprechenden Beschreibungen wiederholt.

[0188] Fig. 32 ist ein Zeitgraph, der Arbeitsweisen der in Fig. 31 gezeigten Treiberschaltung 95 zeigt, der mit der Fig. 23 verglichen wird. Unter Bezugnahme auf Fig. 23 kann in der Treiberschaltung 95 das Potential V_{22} am Knoten N22 auf den vorgegebenen Wert $VI + IV_{TPI} + V_{TN}$ rasch wiederhergestellt werden, weil der Knoten N22 durch die Transistoren 97 bis 101 auf $VI + IV_{TPI} + V_{TN}$ geladen wird, wenn das Potential V_{22} am Knoten N22 (zu den Zeitpunkten t_3 und t_6) niedriger wird als der vorgegebene Wert $VI + IV_{TPI} + V_{TN}$. Da weiterhin der Knoten N27 durch die Transistoren 103 bis 107 auf $VI - V_{TN} - IV_{TPI}$ entladen wird, wenn das Potential V_{27} am Knoten N27 (zu den Zeitpunkten t_3 und t_6) größer wird als ein vorgegebener Wert $VI - V_{TN} - IV_{TPI}$, kann das Potential V_{27} am Knoten N27 auf den vorgegebenen Wert $VI - V_{TN} - IV_{TPI}$ rasch wiederhergestellt werden. Daher kann eine Antwortgeschwindigkeit der Schaltung erhöht werden.

[0189] Fig. 33 ist ein Schaltplan, der eine beispielhafte Modifikation der neunten Ausführungsform zeigt. Eine Treiberschaltung 108 weist eine Konfiguration auf, die durch Entfernung der N-Transistoren 23, 34 und 100 und der P-Transistoren 27, 32 und 105 aus der Treiberschaltung 95 der Fig. 31 erhalten wird. In dieser beispielhaften Modifikation ist die Belegungsfläche der Schaltung reduziert, da die Transistoren 23, 27, 32, 34, 100 und 105 aufgrund ihrer Entfernung nicht vorhanden sind, während das Ausgangspotential $VO = VI + IV_{TPI} - V_{TN}$ ist.

Zur zehnten Ausführungsform

[0190] Fig. 34 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 110 gemäß einer zehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 34 unterscheidet sich die Treiberschaltung 110 von der Treiberschaltung 95 der Fig. 31 darin, dass die Pegelverschiebungsschaltungen 96 und 102 durch entsprechende Pegelverschiebungsschaltungen 111 und 112 ersetzt sind.

[0191] Die Pegelverschiebungsschaltung 111 weist eine Konfiguration auf, in der die P-Transistoren 97 und 98 und der N-Transistor 100 aus der Pegelverschiebungsschaltung 96 entfernt sind. Der N-Transistor 99 ist zwischen die Source des P-Transistors 65 und den Knoten N22 geschaltet. Das Gate des N-Transistors 99 ist mit dem Drain-Anschluss des N-Transistors 99 und mit dem Gate des N-Transistors 101 verbunden. Das Potential V_{99} an den Gates der N-Transistoren 99 und 101 ist $V_{99} = VI + IV_{TPI} + 2V_{TN}$. Der N-Transistor 101 lädt den Knoten N22 auf $V_{99} - V_{TN} = VO + IV_{TPI} + V_{TN}$.

[0192] Die Pegelverschiebungsschaltung 112 weist eine Konfiguration auf, in der die N-Transistoren 103 und 104 und der P-Transistor 105 aus der Pegelverschiebungsschaltung 102 entfernt sind. Der P-Transistor 106 zwischen den Knoten N27 und den Drain-Anschluss des N-Transistors 70 geschaltet. Das Gate des P-Transistors ist mit seinem Drain-Anschluss und dem Gate des P-Transistors 107 verbunden. Das Potential V_{106} an den Gates der P-Transistoren 106 und 107 ist $V_{106} = V_I - V_{TN} - 2|V_{TPI}|$. Der P-Transistor 107 entlädt den Knoten N27 auf $V_{106} + |V_{TPI}| = V_I - V_{TN} - |V_{TPI}|$. Die anderen Teile der Konfiguration und der darin durchgeführten Funktionen sind die gleichen wie die entsprechenden Teile der Konfiguration der Treiberschaltung 95 aus Fig. 31 und den darin ablaufenden Arbeitsweisen. Daher werden die Beschreibungen hier nicht wiederholt.

[0193] In der zehnten Ausführungsform kann der gleiche Effekt wie in der neunten Ausführungsform erreicht werden. Darüberhinaus wird der Stromverbrauch reduziert, da eine Reduktion eines Stromes, der von einer Leitung bei dem dritten Energieversorgungspotential V3 zu einer Leitung beim Massepotential GND durch die Transistoren 97, 99, 100 und 98 fließt, und eines Stromes, der von einer Leitung beim vierten Energieversorgungspotential V4 zu einer Leitung bei einem fünften Energieversorgungspotential V5 durch Transistoren 103, 105, 106 und 104 fließt, erreicht werden kann. Da weiterhin die Transistoren 97, 98, 100 und 103 bis 105 aufgrund ihrer Entfernung nicht vorhanden sind, wird die Belegungsfläche der Schaltung reduziert.

[0194] Fig. 35 ist ein Schaltplan, der eine beispielhafte Modifikation der zehnten Ausführungsform zeigt. Eine Treiberschaltung 113 weist in dieser beispielhaften Modifikation eine Konfiguration auf, die durch Entfernung der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung 110 der Fig. 34 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert, da die Transistoren 23, 27, 32 und 34 aufgrund ihrer Entfernung nicht vorhanden sind.

Zur elften Ausführungsform

[0195] Fig. 36 ist ein Blockschaltbild, das einen Hauptteil einer integrierten Halbleiterschaltungseinrichtung gemäß einer elften Ausführungsform der vorliegenden Erfindung zeigt. Die integrierte Halbleiterschaltungseinrichtung der Fig. 36 beinhaltet j Treiberschaltungen 115.1–115.j, wobei j eine natürliche Zahl größer oder gleich 2 ist.

[0196] Wie in der Fig. 37 gezeigt, weist die Treiberschaltung 115.1 eine Konfiguration auf, die durch Ersetzen der Pegelverschiebungsschaltungen 61 und 63 der Treiberschaltung 60 der Fig. 18 mit entsprechenden Pegelverschiebungsschaltungen 116 und 117 erhalten wird. Die Pegelverschiebungsschaltung 116 weist eine Konfiguration auf, die durch Entfernung des P-Transistors und Widerstandselementes 67 aus der Pegelverschiebungsschaltung 61 erhalten wird. Die Pegelverschiebungsschaltung 117 weist eine Konfiguration auf, die durch Entfernung des Widerstandselementes 68 und N-Transistors 69 aus der Pegelverschiebungsschaltung 63 erhalten wird. Die Transistoren 65 und 70 erhalten jeweils Vorspannungspotentiale VBP und VBN an ihren Gates. Alle weiteren Treiberschaltungen 115.2–115.j weisen die gleiche Konfiguration wie die Treiberschaltung 115.1 auf.

[0197] Zurückkehrend zu der Fig. 36, enthält die integrierte Halbleiterschaltungseinrichtung einen P-Transistor 66 und ein Widerstandselement 67 zur Erzeugung des Vorspannungspotentials VBP und ein Widerstandselement 68 und einen N-Transistor 69 zur Erzeugung des Vorspannungspotentials VBN, die gemeinsam den Treiberschaltungen 115.1–115.j bereitgestellt werden.

[0198] Der P-Transistor 66 und das Widerstandselement 67 sind in Serie zwischen eine Leitung beim dritten Energieversorgungspotential V3 und eine Leitung beim Massepotential GND geschaltet. Das Gate des P-Transistors 66 ist mit seinem Drain-Anschluss (Knoten N66) verbunden. Das Vorspannungspotential VBP liegt am Knoten N66 an. Ein Kondensator 118 zur Stabilisierung des Vorspannungspotentials VBP ist zwischen den Knoten N66 und eine Leitung beim Massepotential GND geschaltet. Ein konstanter Strom mit einem Wert, der zu demjenigen eines konstanten Stromes korrespondiert, der im P-Transistor 66 fließt, fließt in den P-Transistor 65 von jeder der Treiberschaltungen 115.1–115.j.

[0199] Das Widerstandselement 68 und der N-Transistor 69 sind zwischen eine Leitung beim vierten Energieversorgungspotential V4 und eine Leitung beim fünften Energieversorgungspotential V5 geschaltet. Das Gate des N-Transistors 69 ist mit seinem Drain-Anschluss (Knoten N68) verbunden. Das Vorspannungspotential VBN liegt am Knoten N68 an. Ein Kondensator 119 zum Stabilisieren des Vorspannungspotentials VBN ist zwischen den Knoten N68 und eine Leitung beim Massepotential GND geschaltet. Ein konstanter Strom mit einem Wert, der zu demjenigen eines konstanten Stromes, der in dem N-Transistor 69 fließt, korrespondiert, fließt in dem N-Transistor 70 von jeder der Treiberschaltungen 115.1–115.j.

[0200] In der elften Ausführungsform wird der gleiche Effekt wie in der sechsten Ausführungsform erhalten. Darüberhinaus wird eine Belegungsfläche für jede der Treiberschaltungen 115.1–115.j reduziert, weil eine Schaltung zur Erzeugung der Vorspannungspotentiale VBP und VBN den Treiberschaltungen 115.1–115.j gemeinsam zur Verfügung gestellt wird.

Zur zwölften Ausführungsform

[0201] Fig. 38 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung 120 mit einer Offsetsausgleichsfähigkeit gemäß einer zwölften Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 38 beinhaltet die Treiberschaltung mit einer Offsetsausgleichsfähigkeit 120 eine Treiberschaltung 121, einen Kondensator 122 und Schalter S1–S4. Die Treiberschaltung 121 ist eine der in den ersten bis elften Ausführungsformen gezeigten Treiberschaltungen. In einem Fall, bei dem eine Potentialdifferenz zwischen Eingangs- und Ausgangspotential der Treiberschaltung 121 vorliegt, d. h. ein Offsetpotential VOF aufgrund einer Variation in der Schwellenspannung der Transistoren der Treiberschaltung 121 und aus anderen Gründen auftritt, stellen der Kondensator 122 und die Schalter S1–S4 eine Offsetsausgleichsschaltung zum Ausgleich der Offsetspannung VOF dar.

[0202] Das bedeutet, der Schalter S1 ist zwischen einen Eingangsknoten N120 und einen Eingangsknoten N20 der Treiberschaltung 121 geschaltet. Der Schalter S4 ist zwischen einen Ausgangsknoten N121 und einen Ausgangsknoten

N30 der Treiberschaltung 121 geschaltet. Der Kondensator 122 und der Schalter S2 sind in Serie zwischen den Eingangsknoten N20 der Treiberschaltung 121 und den Ausgangsknoten N30 geschaltet. Der Schalter S3 ist zwischen den Eingangsknoten N120 und den Knoten N122 zwischen dem Kondensator 122 und dem Schalter S2 geschaltet. Jeder der Schalter S1-S4 kann ein P-Transistor, ein N-Transistor oder eine Parallelschaltung zwischen einem P-Transistor und einem N-Transistor sein. Die An/Aus-Stellung jedes der Schalter S1-S4 wird durch ein Steuerungssignal (nicht gezeigt) 5 gesteuert.

[0203] Nunmehr wird ein Fall beschrieben, bei dem ein Ausgangspotential der Treiberschaltung 121 um eine Offsetspannung VOF kleiner ist als ein Eingangspotential an dieser Schaltung. Wie in Fig. 39 gezeigt, sind in einem anfänglichen Zustand alle Schalter S1-S4 ausgeschaltet. Wenn zu einem Zeitpunkt t1 die Schalter S1 und S2 angeschaltet werden, ist ein Potential V20 am Eingangsknoten N20 der Treiberschaltung 121 $V20 = VI$. Das Ausgangspotential V30 der Treiberschaltung 121 und das Potential V122 am Knoten N122 ist $V30 = V122 = VI - VOF$. Der Kondensator 122 wird auf das Offsetpotential VOF geladen. 10

[0204] Wenn zu einem Zeitpunkt t2 die Schalter S1 und S2 ausgeschaltet werden, wird die Offsetspannung VOF in dem Kondensator 122 gehalten. Wenn zu einem Zeitpunkt t3 bewirkt wird, dass der Schalter S3 angeschaltet ist, ist das Potential V122 am Knoten N122 $V122 = VI$ und das Eingangspotential V20 der Treiberschaltung 121 wird zu $V20 = VI + VOF$. Als ein Ergebnis wird das Ausgangspotential V30 der Treiberschaltung 121 zu $V30 = V20 - VOF = VI$, was zur Kompensation der Offsetspannung VOF der Treiberschaltung 121 führt. Wenn sodann zu einem Zeitpunkt t4 der Schalter S4 angeschaltet wird, wird das Ausgangspotential zu $VO = VI$, was einer Last bereitgestellt wird. 15

[0205] In der zwölften Ausführungsform kann die Offsetspannung VOF der Treiberschaltung 121 aufgehoben werden, wodurch eine Koinzidenz zwischen dem Ausgangspotential VO und dem Eingangspotential VI ermöglicht wird. 20

[0206] Es ist anzumerken, dass der Schalter S4 nicht immer notwendig ist. Wird der Schalter S4 nicht vorgesehen, ist allerdings in einem Falle, bei dem ein Kapazitätswert der Lastkapazität 36 groß ist, eine lange Zeit zur Stabilisierung einer Spannung VOF zwischen den Anschlüssen des Kondensators 122 erforderlich, nachdem die Schalter S1 und S2 zum Zeitpunkt t1 eingeschaltet werden. 25

Dreizehnte Ausführungsform

[0207] Fig. 40 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit 125 gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 40 weist die Treiberschaltung mit einer Offsetsausgleichsfähigkeit 125 eine Konfiguration auf, die durch Hinzufügen der Kondensatoren 122a, 122b, 126a und 126b und der Schalter S1a-S4a und S1b-S4b zu der Treiberschaltung 60 der Fig. 17 erhalten wird. 30

[0208] Die Schalter S1a und S1b sind zwischen den Eingangsknoten N120 und das Gate (Knoten N20a) des Transistors 24 bzw. zwischen den Eingangsknoten N120 und das Gate (Knoten N20b) des Transistors 26 geschaltet. Die Schalter S4a und S4b sind zwischen den Ausgangsknoten N121 und den Drain-Anschluss (Knoten N30a) des Transistors 32 und zwischen den Ausgangsknoten N121 und den Drain-Anschluss (Knoten N30b) des Transistors 34 geschaltet. Der Kondensator 122a und der Schalter S2a sind zwischen den Knoten N20a und N30a in Serie geschaltet. Der Kondensator 122b und der Schalter S2b sind zwischen den Knoten N20b und N30b in Serie geschaltet. Der Schalter S3a ist zwischen den Eingangsknoten N120 und den Knoten 122a zwischen den Kondensator 122a und Schalter S2a geschaltet. Der Schalter S3b ist zwischen den Eingangsknoten N120 und den Knoten 122b zwischen dem Kondensator 122b und dem Schalter S2b geschaltet. Jeweils eine der Elektroden der Kondensatoren 126a und 126b ist mit den entsprechenden Knoten N30a und N30b verbunden. Die jeweils andere Elektrode erhält Rücksetzsignale ΦR bzw. ein hierzu komplementäres Signal ΦR . 35

[0209] Fig. 41 ist ein Zeitgraph, der Arbeitsweisen der in Fig. 40 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit 125 zeigt. Weil eine Ladungsschaltung, die aus der konstanten Stromquelle 62 und Transistoren 23, 24, 31 und 32 besteht, und eine Entladungsschaltung, die aus der konstanten Stromquelle 64 und Transistoren 26, 27, 34 und 35 besteht, vergleichbare Arbeitsweisen ausführen, obwohl eine funktionale Differenz zwischen Laden und Entladen besteht, werden in Fig. 41 nur Arbeitsweisen der Ladungsschaltung beschrieben. Im folgenden wird angenommen, dass eine Offsetspannung VOFa auf der Seite der Ladungsschaltung vorliegt, weil eine Schwellenspannung VTN des N-Transistors 31 um VOFa größer ist als eine Schwellenspannung VTN eines N-Transistors, ohne dass eine Offsetspannung VOFb auf der Seite der Entladungsschaltung vorliegt. 40

[0210] In einem anfänglichen Zustand befinden sich nicht nur die Schalter S1a bis S3a in ausgeschaltetem Zustand, sondern der Schalter S4a befindet sich in einem angeschalteten Zustand. Die Knoten N20a, N122a, N30a und N121 werden aus dem vorherigen Verlauf bei einem Potential VT gehalten. Wenn zu einem Zeitpunkt t1 bewirkt wird, dass die Schalter S1a und S2a sich in angeschaltetem Zustand befinden, werden die Potentiale V20a, V122a, V30a und VO an den Knoten N20a, N122a, N30a und N121 alle zu einem Potential, das dem Eingangspotential VI gleich ist. Das Potential V22 am Knoten N22 wird zu $V22 = VI + IVTP1 + VTN$. Der Grund, aus dem V20a, V122a, V30a und VO alle zu einem Potential werden, dass zu VI gleich ist, obwohl eine Schwellenspannung VTN des N-Transistors 31 um VOFa größer ist als eine Schwellenspannung VTN am N-Transistor 23, besteht darin, dass, während der Ausgangsknoten N121 durch die Entladungsschaltung bis herunter auf das Eingangspotential VI entladen wird, wird er nicht weiter entladen auf ein Potential, das gleich oder niedriger ist als das Eingangspotential VI. 55

[0211] Zu einem Zeitpunkt t2 wird sodann bewirkt, dass der Schalter S4a sich in ausgeschaltetem Zustand befindet, um den Ausgangsknoten N30a der Ladungsschaltung elektrisch von dem Ausgangsknoten N30b der Entladungsschaltung zu trennen. Wenn sodann zu einem Zeitpunkt t3 das Rücksetzsignal ΦR vom H-Pegel auf den L-Pegel abgesenkt wird, werden die Potentiale V30a und V122a der Knoten N30a und N122a durch den Kondensator 126a mittels kapazitiver Kopplung um eine vorgegebene Spannung abgesenkt. Hierdurch werden die Transistoren 31 und 32 leitend, um die Potentiale V30a und V122a der Knoten N30a und N122a auf $VI - VOFa$ zu erhöhen. Hierdurch wird der Kondensator 122a auf VOFa geladen. 60

[0212] Nachdem die Potentiale V30a und V122a der Knoten N30a und N122a stabilisiert sind, und wenn zum Zeit- 65

punkt t4 bewirkt wird, dass die Schalter S1a und S2a sich in ausgeschaltetem Zustand befinden und weiterhin zu einem Zeitpunkt t5 bewirkt wird, dass der Schalter S3a sich in einem angeschalteten Zustand befindet, wird ein Potential VI + VOFA, das durch Hinzufügen der Offsetspannung VOFA zu dem Eingangspotential VI erhalten wird, zu dem Knoten N20a gegeben. Hierdurch wird das Potential V22 am Knoten N22 zu $V22 = VI + IVTP1 + VTN + VOFA$ und die Potentiale V30a und V122a der Knoten N30a und N122a nehmen denselben Pegel an wie das Eingangspotential VI.

[0213] Obwohl das Ausgangspotential V30a der Ladungsschaltung ab dem Zeitpunkt t1 zu $V30a = VI$ wird, ist das Ausgangspotential V30a während einer Zeitspanne vom Zeitpunkt t1 bis t2 nur ein Potential, dass durch Verdrehungskapazität und dergleichen gehalten wird. Wenn Rauschen negativer Polarität auftritt, fällt V33a ab auf VI - VOFA. Im Gegensatz hierzu wird das Potential V30a nach dem Zeitpunkt t5 bei VI gehalten, weil sogar dann, wenn Rauschen einer negativen Polarität auftritt, der Knoten 30a durch die Transistoren 31 und 32 geladen wird.

[0214] Wenn zu einem Zeitpunkt t6 der Schalter S3a sich in ausgeschaltetem Zustand befindet, und zu einem Zeitpunkt t7 weiterhin der Schalter S4a sich in angeschaltetem Zustand befindet, wird die Ladungsschaltung 36 durch die Treiberschaltung getrieben. Wenn zu einem Zeitpunkt t8 ein Rücksetzsignal ΦR auf den H-Pegel angehoben wird, wird die Schaltung in den Anfangszustand zurückgesetzt. Zum Zeitpunkt t8 tritt nahezu keine Änderung im Ausgangspotential VO auf, weil die Ausgangsimpedanz hinreichend gering ist, sogar dann, wenn das Rücksetzsignal ΦR auf den H-Pegel erhöht wird. Ähnliche Arbeitsweisen liegen auf der Seite der Entladungsschaltung vor und das Ausgangspotential VO wird bei VI aufrecht erhalten.

[0215] Fig. 42 ist ein weiterer Zeitgraph, der Arbeitsweisen der in Fig. 40 gezeigten Treiberschaltung mit einer Offsetausgleichsfähigkeit 125 zeigt. Weil eine Ladungsschaltung, die aus konstanter Stromquelle 62 und Transistoren 23, 24, 31 und 32 besteht, und eine Entladungsschaltung, die aus konstanter Stromquelle 64 und Transistoren 26, 27, 34 und 35 besteht, ähnliche Arbeitsweisen durchführen, obwohl eine funktionale Differenz zwischen Laden und Entladen besteht, werden in Bezug auf Fig. 42 nur Arbeitsweisen der Entladungsschaltung beschrieben. Im folgenden wird angenommen, dass eine Offsetspannung VOFA auf der Seite der Entladungsschaltung vorliegt, weil der absolute Wert IVTP1 einer Schwellenspannung des P-Transistors 35 um VOFA größer ist als der absolute Wert IVTP1 einer Schwellenspannung des P-Transistors 27, ohne dass eine Offsetspannung VOFA auf der Seite der Ladungsschaltung vorliegt.

[0216] In einem anfänglichen Zustand befinden sich nicht nur die Schalter S1b-S3b in ausgeschaltetem Zustand, sondern der Schalter S4b befindet sich in einem angeschalteten Zustand. Die Knoten N20b, N122b, N30b und N121 werden aus dem vorherigen Ablauf bei einem Potential VT gehalten. Wenn zu einem Zeitpunkt t1 bewirkt wird, dass die Schalter S1b und S2b sich in einem angeschalteten Zustand befinden, werden die Potentiale V20b, V122b, V30b und VO der Knoten N20b, N122b, N30b und N121 alle zu einem Potential, das dem Eingangspotential VI gleich ist. Das Potential V27 am Knoten N27 wird zu $V27 = VI - IVTP1 - VTN$. Der Grund, aus dem V20b, V122b, V30b und VO alle zu einem Potential werden, das zu VI gleich ist, obwohl der absolute Wert IVTP1 einer Schwellenspannung des P-Transistors 35 um VOFA größer ist als der absolute Wert IVTP1 einer Schwellenspannung am P-Transistor 27, besteht darin, dass, obwohl der Ausgangsknoten N121 durch die Ladungsschaltung auf das Eingangspotential VI geladen wird, der Knoten nicht weiter auf ein Potential, das gleich oder größer ist als das Eingangspotential VI, geladen wird.

[0217] Zu einem Zeitpunkt t2 wird sodann bewirkt, dass der Schalter S4b sich in einem ausgeschalteten Zustand befindet, um den Ausgangsknoten N30a der Ladungsschaltung elektrisch vom Ausgangsknoten N30b der Entladungsschaltung zu trennen. Wenn sodann zu einem Zeitpunkt t3 das Rücksetzsignal ΦR vom L-Pegel auf den H-Pegel erhöht wird, werden die Potentiale V30b und V122b an den Knoten N30b und Knoten N122b durch den Kondensator 126b mittels kapazitiver Kopplung um eine vorgegebene Spannung erhöht. Hierdurch werden die Transistoren 34 und 35 leitend, um die Potentiale V30b und V122b an den Knoten N30b und N122b auf VI + VOFA abzusinken und um hierdurch den Kondensator 122b auf VOFA zu laden.

[0218] Nachdem die Potentiale V30b und V122b an den Knoten N30b und N122b stabilisiert sind und wenn zu einem Zeitpunkt t4 bewirkt wird, dass sich die Schalter S1b und S2b in ausgeschaltetem Zustand befinden, und zu einem Zeitpunkt t5 weiterhin der Schalter S3b sich in einem angeschalteten Zustand befindet, wird ein Potential VI - VOFA, dass durch Subtraktion der Offsetspannung VOFA vom Eingangspotential VI erhalten wird, an den Knoten N20b gegeben. Hierdurch wird das Potential V27 am Knoten N27 zu $V27 = VI - VTN - IVTP1 - VOFA$ und die Potentiale V30b und V122b an den Knoten N30b und N122b nehmen den gleichen Pegel an wie das Eingangspotential VI.

[0219] Während das Ausgangspotential V30b der Entladungsschaltung ab einem Zeitpunkt t1 zu $V30b = VI$ wird, ist das Ausgangspotential V30b während einer Zeitspanne vom dem Zeitpunkt t1 bis t2 nur ein Potential, dass durch Verdrehungskapazitäten und dergleichen gehalten wird. Wenn Rauschen einer positiven Polarität auftritt, nimmt V33b zu auf VI + VOFA. Im Gegensatz hierzu wird das Potential V30b nach dem Zeitpunkt t5 bei VI gehalten, sogar dann, wenn Rauschen einer positiven Polarität auftritt, weil der Knoten 30b durch die Transistoren 34 und 35 entladen wird.

[0220] Wenn zu einem Zeitpunkt t6 bewirkt wird, dass der Schalter S3b sich in einem ausgeschalteten Zustand befindet, und zu einem Zeitpunkt t7 weiterhin bewirkt wird, dass der Schalter S4a sich in angeschaltetem Zustand befindet, wird die Lastschaltung 36 durch die Treiberschaltung getrieben. Wenn zu einem Zeitpunkt t8 ein Rücksetzsignal ΦR auf den L-Pegel abgesenkt wird, wird die Schaltung in den Anfangszustand zurückgesetzt. Zum Zeitpunkt t8 tritt nahezu keine Änderung im Ausgangspotential VO auf, sogar dann, wenn das Rücksetzsignal ΦR auf den L-Pegel abgesenkt wird, weil die Ausgangsimpedanz gering ist. Gleiche Arbeitsweisen werden auf der Seite der Ladungsschaltung durchgeführt und das Ausgangspotential VO wird bei VI aufrechterhalten.

[0221] Im folgenden werden verschiedene beispielhafte Modifikationen der dreizehnten Ausführungsform beschrieben. Eine Treiberschaltung mit einer Offsetausgleichsfähigkeit 127 der Fig. 43 weist eine Konfiguration auf, die durch Entfernen der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung mit einer Offsetausgleichsfähigkeit 125 der Fig. 40 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert.

[0222] Die Treiberschaltung mit einer Offsetausgleichsfähigkeit 130 der Fig. 44 weist eine Konfiguration auf, die durch Ersetzen der Kondensatoren 126a und 126b der Treiberschaltung mit einer Offsetausgleichsfähigkeit 125 der Fig. 40 mit einem N-Transistor 131a bzw. P-Transistor 131b erhalten wird. Der N-Transistor 131a ist zwischen eine Leitung

beim achten Energieversorgungspotential V8 und den Knoten N30a geschaltet und erhält ein Rücksetzsignal $\Phi R'$ an seinem Gate. Der P-Transistor 131b ist zwischen den Knoten N30b und eine Leitung beim neunten Energieversorgungspotential V9 geschaltet und erhält ein zum Rücksetzsignal $\Phi R'$ komplementäres Signal $\Phi R'$ an seinem Gate.

[0223] In einem gewöhnlichen Modus sind die Signale $\Phi R'$ und $\Phi R'$ beim L-Pegel bzw. H-Pegel und der N-Transistor 131a und der P-Transistor 131b sind beide nichtleitend. Zum Zeitpunkt t4 der Fig. 41 und 42 wird nicht nur das Signal $\Phi R'$ für eine vorgegebene Zeit impulsartig auf den H-Pegel gesetzt, sondern ebenso wird das Signal $\Phi R'$ für die vorgegebene Zeit impulsartig auf den L-Pegel gesetzt. Hierdurch wird nicht nur der N-Transistor 131a impulsartig leitend, um das Potential V30a am Knoten N30a auf das achte Energieversorgungspotential V8 abzusenken, sondern ebenso wird der P-Transistor 131b impulsartig leitend, um das Potential V30b am Knoten N30b auf das neunte Energieversorgungspotential V9 anzuheben. Hiernach wird in einem Falle, wie er in Fig. 41 beschrieben ist, der Knoten 30a auf VI - VOF geladen, während in einem Falle, wie er in Fig. 42 beschrieben ist, der Knoten N30b auf VO + VOF entladen wird. In dieser beispielhaften Modifikation besteht keine Möglichkeit dafür, Rauschen im Ausgangspotential VO zu erzeugen, sogar zu einem Zeitpunkt t8 der Fig. 41 und 42. Es ist anzumerken, dass eine Pulsweite der Signale $\Phi R'$ und $\Phi R'$ auf den kleinsten notwendigen Wert gesetzt ist.

[0224] Die Treiberschaltung mit einer Offsetsausgleichsfähigkeit 132 der Fig. 45 weist eine Konfiguration auf, die durch Hinzufügen einer Offsetsausgleichsschaltung, die aus Kondensatoren 122a, 122b, 126a und 126b und Schaltern S1a-S4a und S1b-S4b besteht, zu der Treiberschaltung 80 der Fig. 25 erhalten wird. In einer Periode vom Zeitpunkt t1 bis zum Zeitpunkt t2 der Fig. 41 und 42 wird nicht nur das Signal ΦP impulsartig auf den L-Pegel gesetzt, sondern ebenso das Signal ΦP auf den H-Pegel gesetzt. In dieser beispielhaften Modifikation wird eine hohe Arbeitsgeschwindigkeit ermöglicht, da die Potentiale V22 und V27 der Knoten N22 und N27 rasch vorgegebene Werte erreichen.

[0225] Die Treiberschaltung mit einer Offsetsausgleichsfähigkeit 133 der Fig. 46 weist eine Konfiguration auf, die durch Entfernung der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 132 der Fig. 45 erhalten wird. In dieser beispielhaften Modifikation wird eine Belegungsfläche der Schaltung reduziert.

[0226] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 135 der Fig. 47 weist eine Konfiguration auf, die durch Hinzufügen einer Offsetsausgleichsschaltung, die aus Kondensatoren 122a, 122b, 126a und 126b und Schaltern S1a-S4a und S1b-S4b besteht, zu der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 85 der Fig. 27 erhalten wird. In dieser beispielhaften Modifikation kann das Fließen eines Durchfließstromes verhindert werden, um hierdurch den Stromverbrauch zu reduzieren, weil, wenn die Signale ΦP und ΦP auf L-Pegel bzw. H-Pegel gesetzt werden, um zu bewirken, dass die Transistoren 81 und 82 leitend werden, werden die Transistoren 86 und 87 nicht leitend.

[0227] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 136 der Fig. 48 weist eine Konfiguration auf, die durch Entfernung der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 135 der Fig. 47 erhalten wird. In dieser beispielhaften Modifikation wird eine Belegungsfläche der Schaltung reduziert.

[0228] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 140 der Fig. 49 weist eine Konfiguration auf, die durch Hinzufügen einer Offsetsausgleichsschaltung, bestehend aus Kondensatoren 122a, 122b, 126a und 126b und Schaltern S1a-S4a und S1b-S4b zu der Treiberschaltung 90 der Fig. 29 erhalten wird. In dieser beispielhaften Modifikation kann das Fließen eines Durchfließstromes verhindert werden, um hierdurch den Stromverbrauch zu reduzieren, weil, wenn das Signal ΦP auf L-Pegel gesetzt ist, um zu bewirken, dass der P-Transistor 81 leitend wird, der Drain-Anschluss des P-Transistors 24 auf den H-Pegel getrieben wird, und wenn das Signal ΦP auf den H-Pegel gesetzt wird, um zu bewirken, dass der N-Transistor 82 leitend wird, wird der Drain-Anschluss des N-Transistors 26 auf den L-Pegel getrieben.

[0229] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 141 der Fig. 50 weist eine Konfiguration auf, die durch Entfernen der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 140 der Fig. 49 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert.

[0230] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 145 der Fig. 51 weist eine Konfiguration auf, die durch Hinzufügen einer Offsetsausgleichsschaltung, bestehend aus Kondensatoren 122a, 122b, 126a und 126b und den Schaltern S1a-S4a und S1b-S4b zu der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 95 der Fig. 31 erhalten wird. In einer Periode vom Zeitpunkt t1 zum Zeitpunkt t2 der Fig. 41 und 42 wird nicht nur das Signal ΦB impulsartig auf den H-Pegel gesetzt, sondern auch das Signal ΦB ist impulsartig auf den L-Pegel gesetzt. In dieser beispielhaften Modifikation wird die Realisierung einer hohen Arbeitsgeschwindigkeit ermöglicht, weil die Potentiale V22 und V27 an den Knoten N22 und N27 rasch vorgegebene Werte erreichen.

[0231] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 146 der Fig. 52 weist eine Konfiguration auf, die durch Entfernen der N-Transistoren 23, 34 und 100 und P-Transistoren 27, 32 und 105 aus der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 145 der Fig. 51 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert.

[0232] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 150 der Fig. 53 weist eine Konfiguration auf, die durch Hinzufügen einer Offsetsausgleichsschaltung, bestehend aus den Kondensatoren 122a, 122b, 126a und 126b und Schaltern S1a-S4a und S1b-S4b zu der Treiberschaltung 110 der Fig. 34 erhalten wird. In einer Periode vom Zeitpunkt t1 zum Zeitpunkt t2 der Fig. 41 und 42 wird nicht nur das Signal ΦB impulsartig auf den H-Pegel gesetzt, sondern auch das Signal DB impulsartig auf den L-Pegel gesetzt. In dieser beispielhaften Modifikation wird, weil die Potentiale V22 und V27 an den Knoten N22 und N27 vorgegebene Werte rasch erreichen, hierdurch die Realisierung einer hohen Arbeitsgeschwindigkeit ermöglicht.

[0233] Eine Treiberschaltung mit einer Offsetsausgleichsfähigkeit 151 der Fig. 54 weist eine Konfiguration auf, die durch Entfernen der N-Transistoren 23 und 34 und P-Transistoren 27 und 32 aus der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 150 der Fig. 53 erhalten wird. In dieser beispielhaften Modifikation ist eine Belegungsfläche der Schaltung reduziert.

[0234] Fig. 55 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit 155 gemäß einer vierzehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 55 unterscheidet sich die Treiberschaltung mit einer Offsetsausgleichsfähigkeit 155 von der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 145 der Fig. 51 darin, dass ein Schalter S5 und ein Kondensator 156 hinzugefügt sind und die Spannungserhöhungssignale ΦB und $\bar{\Phi B}$ durch entsprechende Spannungssignale $\Phi B1$ und $\bar{\Phi B1}$ ersetzt sind.

[0235] Der Schalter S5 ist zwischen einen Knoten zwischen den Schaltern S4a und S4b und den Ausgangsknoten N121 geschaltet. Der Kondensator 156 ist zwischen einen Knoten zwischen den Schaltern S4a und S4b und eine Leitung beim Massepotential GND geschaltet. Ein Kapazitätswert des Kondensators 156 ist kleiner gewählt als ein Kapazitätswert einer Lastkapazität 36.

[0236] Fig. 56 ist ein Zeitgraph, der Arbeitsweisen der in Fig. 55 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit 155 zeigt, der mit Fig. 41 verglichen wird. Hier werden ebenfalls Arbeitsweisen der Seite der Ladungsschaltung beschrieben. Unter Bezugnahme auf Fig. 56 erreichen die Potentiale V22, V30a und V122a rasch das Eingangspotential VI, beispielsweise in einer Periode vom Zeitpunkt t1 zum Zeitpunkt t2, da der Schalter S5 in ausgeschaltetem Zustand gehalten wird und die Lastschaltung 36 bis zum Zeitpunkt 9 elektrisch getrennt ist.

[0237] Wenn zu einem Zeitpunkt t9 der Schalter S5 angeschaltet wird, ändert sich das Potential V156 zwischen den Schaltern S4a und S4b gemäß dem Potential VO an einer Datenleitung, die mit dem Ausgangsknoten N121 verbunden ist. In Fig. 56 ist ein Fall gezeigt, bei dem das Potential VO auf der Datenleitung kleiner ist als V156. Nachdem das Potential V156 zum Zeitpunkt t9 fällt, wird durch die Transistoren 31 und 32 dem Knoten ein Strom zugeführt, um das Potential V156 graduell zu erhöhen. Zum Zeitpunkt t10 wird sodann das Signal $\Phi B1$ vom L-Pegel auf den H-Pegel erhöht, um das Potential V22 am Knoten N22 impulsartig zu erhöhen, um hierdurch einen Strom, der im N-Transistor 31 fließt, zu erhöhen und um zu bewirken, dass das Potential V156 = VO wird, um das Eingangspotential VI rasch zu erreichen.

[0238] Fig. 57 ist ein weiterer Zeitgraph, der Arbeitsweisen der in Fig. 55 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit 155 zeigt, und der mit Fig. 42 verglichen wird. Hier werden ebenfalls nur Arbeitsweisen der Entladungsschaltungsseite beschrieben. Unter Bezugnahme auf Fig. 57 erreichen die Potentiale V27, V30b und V122b das Eingangspotential VI rasch, beispielsweise in einer Periode vom Zeitpunkt t1 zum Zeitpunkt t2, weil der Schalter S5 im ausgeschalteten Zustand gehalten wird und die Lastkapazität 36 bis zum Zeitpunkt t9 elektrisch getrennt ist.

[0239] Wenn zu einem Zeitpunkt t9 der Schalter S5 angeschaltet wird, ändert sich das Potential V156 zwischen den Schaltern S4a und S4b gemäß dem Potential VO an einer Datenleitung, die mit dem Ausgangsknoten N121 verbunden ist. In Fig. 57 ist ein Fall gezeigt, bei dem das Potential VO auf der Datenleitung größer ist als V156. Nachdem das Potential V156 zum Zeitpunkt t9 ansteigt, wird ein Strom veranlasst, aus den Transistoren 34 und 35 zu fließen, um das Potential V156 graduell abzusinken.

[0240] Zu einem Zeitpunkt t10 wird sodann das Signal $\bar{\Phi B1}$ vom H-Pegel auf den L-Pegel abgesenkt, um das Potential V27 am Knoten N27 impulsartig abzusinken, um einen Strom, der im P-Transistor 35 fließt, zu erhöhen und um zu bewirken, dass das Potential V156 = VO wird, um das Eingangspotential VI rasch zu erreichen.

[0241] In der vierzehnten Ausführungsform kann eine hohe Arbeitsgeschwindigkeit erreicht werden, sogar in einem Falle, bei dem ein kapazitiver Wert der Lastkapazität 36 groß ist.

Zur fünfzehnten Ausführungsform

[0242] Fig. 58 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung mit einer Offsetsausgleichsfähigkeit 157 gemäß einer fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt. Unter Bezugnahme auf Fig. 58 unterscheidet sich die Treiberschaltung mit einer Offsetsausgleichsfähigkeit 157 von der Treiberschaltung mit einer Offsetsausgleichsfähigkeit 155 der Fig. 55 darin, dass der Kondensator 156 entfernt ist, die An/Aus-Zeitpunkte des Schalters S5 und Zeitpunkte der Pegeländerung der Signale $\Phi B1$ und $\bar{\Phi B1}$.

[0243] Die Fig. 59 ist ein Zeitgraph, der Arbeitsweisen der in Fig. 58 gezeigten Treiberschaltung mit einer Offsetsausgleichsfähigkeit 157 zeigt. In diesem Falle wird angenommen, dass die Schwellenwertspannung VTN' des N-Transistors 31 um VOF größer ist als die Schwellenspannung VTN des N-Transistors 23. In einem anfänglichen Zustand befinden sich nicht nur die Schalter S1a-S3a und S1b-S3b in ausgeschaltetem Zustand, sondern auch die Schalter S4a, S4b und S5 in ausgeschaltetem Zustand. Die Potentiale V30a, V30b und V20a an den Knoten N30a, N30b und N20a befinden sich am Eingangspotential (in der Figur: VH) des vorherigen Ablaufes.

[0244] Zum Zeitpunkt t1 wird bewirkt, dass der Schalter S5 sich im ausgeschalteten Zustand befindet, um einen Knoten zwischen den Schaltern S30a und S30b von der Lastkapazität elektrisch zu trennen. Zum Zeitpunkt t2 befinden sich nicht nur die Schalter S1a, S1b, S2a und S2b in einem angeschalteten Zustand, sondern das Eingangspotential VI wird zu dieser Zeit auf ein Potential gesetzt (in der Figur: VL). In dieser Weise sind die Potentiale V30a, V30b und V20b an den Knoten N30a, N30b und N20b alle VI = VL. Der Grund dafür, dass V30a und V30b VI = VL sind, obwohl eine Schwellenspannung VTN' am N-Transistor 31 höher ist als eine Schwellenspannung VTN eines anderen N-Transistors, besteht darin, dass, während die Entladungsschaltung die Knoten N30a und N30b bis auf VI = VL herunter entlädt, die Knoten nicht weiter auf ein Potential, das gleich oder geringer ist als das Eingangspotential VI = VL, entladen werden.

[0245] Zum Zeitpunkt t3 wird bewirkt, dass die Schalter S4a und S4b sich in ausgeschaltetem Zustand befinden, um die Ladungsschaltung von der Entladungsschaltung elektrisch zu trennen. Zum Zeitpunkt t4 wird nicht nur das Rücksetzsignal $\bar{\Phi R}$ vom H-Pegel auf den L-Pegel abgesenkt, sondern auch das Signal ΦR wird vom L-Pegel auf den H-Pegel angehoben. Hierdurch wird nicht nur das Potential V30a am Knoten N30a zu VL - VOF, nachdem es impulsartig von VL abgesenkt wurde, sondern auch das Potential V30b am Knoten N30b wird zu VL, nachdem es impulsartig von VL erhöht wurde.

[0246] Wenn zu einem Zeitpunkt t5 die Schalter S1a, S1b, S2a und S2b im ausgeschalteten Zustand sind, und sodann zu einem Zeitpunkt t6 die Schalter S3a und S3b sich in angeschaltetem Zustand befinden, wird das Potential V20a am

Knoten N20a zu VL + VOF und die Offsetspannung VOF wird aufgehoben, um zu bewirken, dass das Potential V30a am Knoten N30a zu VL = VL wird.

[0247] Wenn zu einem Zeitpunkt t7 bewirkt wird, dass die Schalter S3a und S3b sich in ausgeschaltetem Zustand befinden, und sodann zu einem Zeitpunkt t8 bewirkt wird, dass die Schalter S4a, S4b und S5 sich in angeschaltetem Zustand befinden, werden die Potentiale V30a und V30b an den Knoten N30a und N30b einmalig erhöht und hiernach graduell erniedrigt, weil die Lastkapazität 36 auf VH geladen wird, was ein Potential des vorherigen Ablaufs ist. Zum Zeitpunkt t9 wird nicht nur das Signal $\Phi B1$ vom L-Pegel auf den H-Pegel angehoben, sondern ebenso wird das Signal $\Phi B1$ vom H-Pegel auf den L-Pegel abgesenkt.

[0248] In dieser Weise wird nicht nur das Potential V22 am Knoten N22 durch den Kondensator 76 erhöht, sondern auch das Potential V27 am Knoten N27 durch den Kondensator 77 erniedrigt. Zu dieser Zeit wird eine Pegelabsenkungswirkung um V27 stärker als eine Pegelerhöhungswirkung um V22 ausgeübt, weil eine Arbeitsweise durchgeführt wird, bei der VL beim L-Pegel an den Ausgangsknoten N121 ausgegeben wird und ein Widerstandswert des P-Transistors 35 im geöffneten Zustand geringer ist als ein Widerstandswert des N-Transistors 31 im geöffneten Zustand, um zu bewirken, dass die Potentiale V30a, V30b und VO an den Knoten N30a, N30b und N121 rasch herunter auf VL fallen. In dieser fünfzehnten Ausführungsform kann eine hohe Arbeitsgeschwindigkeit realisiert werden.

Zur sechzehnten Ausführungsform

[0249] Fig. 60 ist ein Schaltplan, der einen Hauptteil einer Farb-Flüssigkristallanzeigeeinrichtung gemäß einer sechzehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 60 beinhaltet die Farb-Flüssigkristallanzeigeeinrichtung eine ausgleichende Vorladungsschaltung 158 zum Treiben von Potentialen auf Datenleitungen 6 auf ein Vorladungspotential VPC, bevor Abstufungspotentiale an Datenleitungen 6 angelegt werden.

[0250] Die ausgleichende Vorladungsschaltung 158 beinhaltet Schalter S6, die entsprechend für jeweilige Datenleitungen 6 vorgesehen sind und Schalter S7, die jeweils entsprechend für zwei benachbarte Datenleitungen 6 vorgesehen sind. An einem Anschluss des Schalters S6 wird das Vorladungspotential VPC angelegt und der andere Anschluss ist mit der entsprechenden Datenleitung 6 verbunden. Die Schalter S6 werden in Reaktion auf den H-Pegel auf einem aktiven Pegel, auf den das Vorladungssignal ΦPC getrieben wird, in einen angeschalteten Zustand gesetzt. Wenn die Schalter S6 in den angeschalteten Zustand gesetzt werden, werden die Datenleitungen 6 auf das Vorladungspotential VPC getrieben. Der Schalter S7 ist zwischen zwei Datenleitungen 6 geschaltet und wird in Reaktion auf den H-Pegel bei einem aktiven Pegel, auf den das ausgleichende Signal ΦEQ getrieben wird, in einen angeschalteten Zustand gesetzt. Wenn die Schalter S7 in einen angeschalteten Zustand gesetzt werden, werden die Potentiale auf allen Datenleitungen 6 ausgeglichen. Nachdem die Schalter S6 und S7 in einen ausgeschalteten Zustand gesetzt worden sind, werden Abstufungspotentiale an die Datenleitungen 6 angelegt.

[0251] An dieser Stelle wird die Vorladungsspannung VPC zu 0 Volt angenommen. Weil die Abstufungspotentiale von 0 Volt–5 Volt reichen (siehe Fig. 3) haben die Treiberschaltungen nur die Datenleitungen 6 zu laden, ohne dass eine Notwendigkeit zur Entladung besteht. Daher werden in dieser Farb-Flüssigkristallanzeigeeinrichtung push-artige Treiberschaltungen verwendet.

[0252] Fig. 61 ist ein Schaltplan, der eine Konfiguration einer push-artigen Treiberschaltung 160 zeigt. In Fig. 61 beinhaltet die push-artige Treiberschaltung 160 eine Pegelverschiebungsschaltung 61, eine Pull-up-Schaltung 30 und eine konstante Stromquelle 161. Die Pegelverschiebungsschaltung 61 und die Pull-up-Schaltung 30 sind die gleichen wie die in Fig. 17 gezeigten.

[0253] Das bedeutet, dass die Pegelverschiebungsschaltung 61 eine konstante Stromquelle 62, die zwischen den Knoten beim dritten Energieversorgungspotential V3 (15 V) und dem Knoten beim Massepotential GND in Serie geschaltet ist, einen N-Transistor 23 und einen P-Transistor 24 beinhaltet. Wie in Fig. 62 gezeigt, beinhaltet die konstante Stromquelle 62 P-Transistoren 65 und 66 und ein Widerstandselement 67. Ein P-Transistor 65 ist zwischen den Knoten beim dritten Energieversorgungspotential V3 und den Drain-Anschluss (ein Knoten N22) eines N-Transistors 23 geschaltet. Ein P-Transistor 66 und ein Widerstandselement 67 sind in Serie zwischen den Knoten beim dritten Potential V3 und den Knoten beim Massepotential GND geschaltet. Die Gates der P-Transistoren 65 und 66 sind beide mit dem Drain-Anschluss des P-Transistors 66 verbunden. Die P-Transistoren 65 und 66 stellen eine Stromspiegelschaltung dar. Ein konstanter Strom, der einem Widerstandswert des Widerstandselementes 67 entspricht, fließt durch den P-Transistor 66 und das Widerstandselement 67. Ein konstanter Strom, der dem konstanten Strom, der in dem P-Transistor 66 fließt, entspricht, fließt durch den P-Transistor 65. Das Gate des N-Transistors 23 ist mit seinem Drain-Anschluss (Knoten N22) verbunden. Der N-Transistor 23 arbeitet als ein Diodelement. Das Gate des P-Transistors 24 ist mit dem Eingangsknoten N20 verbunden. Ein Stromwert der konstanten Stromquelle 62 wird auf einen minimalen Wert gesetzt, der zur Erzeugung vorgegebener Schwellenwerte der jeweiligen Transistoren 23 und 24 notwendig ist.

[0254] Wenn per Definition ein Potential (Abstufungspotential) am Eingangsknoten N20 VL, eine Schwellenspannung eines P-Transistors VTP und eine Schwellenspannung eines N-Transistors VTN ist, dann ist ein Potential V23 an der Source (Knoten N23) des P-Transistors 24 gegeben durch $V23 = VI + |VTP|$. Ein Potential V22 am Drain-Anschluss (Knoten N22) des N-Transistors 23 ist gegeben durch $V22 = VI + |VTP| + VTN$. Daher gibt die Pegelverschiebungsschaltung 61 ein Potential V22 aus, das durch Verschiebung des Eingangspotentials VI um $|VTP| + VTN$ gegeben ist.

[0255] Die Pull-up-Schaltung 30 beinhaltet einen N-Transistor 31 und einen P-Transistor 32 in Serie zwischen den Knoten beim sechsten Energieversorgungspotential V6 (15 V) und den Ausgangsknoten N30 geschaltet. An das Gate des N-Transistors 31 wird das Ausgangspotential V22 der Pegelverschiebungsschaltung 61 angelegt. Das Gate des P-Transistors 32 ist mit seinem Drain-Anschluss verbunden. Der P-Transistor 32 arbeitet als ein Diodelement. Weil das sechste Energieversorgungspotential V6 so gewählt ist, dass der N-Transistor 31 in seinem Sättigungsbereich arbeitet, führt der N-Transistor 31 eine sogenannte Source-Follower-Arbeitsweise durch.

[0256] Die konstante Stromquelle 161 ist zwischen den Ausgangsknoten N30 und den Knoten beim Massepotential GND geschaltet. Die konstante Stromquelle 161 beinhaltet, wie in Fig. 62 gezeigt, N-Transistoren 162 und 163 und ein

Widerstandselement 164. Der N-Transistor 162 ist zwischen den Ausgangsknoten N30 und den Knoten beim Massepotential GND geschaltet. Das Widerstandselement 164 und der N-Transistor 163 sind in Serie zwischen den Knoten bei dem sechsten Potential V6 und den Knoten beim Massepotential GND geschaltet. Die Gates der N-Transistoren 162 und 163 sind beide mit dem Drain-Anschluss des N-Transistors 163 verbunden. Die N-Transistoren 162 und 163 stellen eine Stromspiegelschaltung dar.

[0257] Ein konstanter Strom mit einem Wert, der zu einem Widerstandswert des Widerstandselementes 164 korrespondiert, fließt durch das Widerstandselement 164 und den N-Transistor 163. Ein konstanter Strom mit einem Wert, der zu dem konstanten Strom, der in dem N-Transistor 163 fließt, korrespondiert, fließt durch den N-Transistor 162. Ein Stromwert der konstanten Stromquelle 161 ist auf einen minimalen Wert gesetzt, der zur Erzeugung vorgegebener Schwellenwerte der jeweiligen Transistoren 31 und 32 notwendig ist.

[0258] Ein Potential V31 an der Source (Knoten N31) des N-Transistors 31 ist gegeben durch $V31 = V22 - V_{TN} = V_I + |V_{TPI}|$. Das Potential VO am Ausgangsknoten N30 ist gegeben durch $VO = V31 - |V_{TPI}| = V_I$.

[0259] In der sechzehnten Ausführungsform kann der insgesamt verbrauchte Strom reduziert werden, weil Durchfließströme mit dem minimalen Wert, der zur Erzeugung vorgegebener Spannungen der jeweiligen Transistoren 23, 24, 31 und 32 notwendig ist, nur dort hindurch zu fließen haben. Es versteht sich von selbst, dass die konstanten Stromquellen 62 und 161 durch entsprechende Widerstandselemente ersetzt werden können.

[0260] Fig. 63 ist ein Schaltplan, der eine Konfiguration der push-artigen Treiberschaltung 165 gemäß einer beispielhaften Modifikation der sechzehnten Ausführungsform zeigt. Unter Bezugnahme auf Fig. 63 unterscheidet sich die Treiberschaltung 165 von der Treiberschaltung 160 der Fig. 62 darin, dass in der Treiberschaltung 160 ein Widerstandselement 164 herausgenommen wird und das Widerstandselement 67 den konstanten Stromquellen 62 und 161 gemeinsam ist. Das Widerstandselement 67 und der N-Transistor 163 sind in Serie zwischen die Source des P-Transistors 66 und den Knoten beim Massepotential GND geschaltet. Das Gate des N-Transistors 163 ist mit seinem Drain-Anschluss verbunden. In dieser beispielhaften Modifikation kann es verhindert werden, dass eine Offsetspannung durch Variationen in den Widerstandswerten der Widerstandselemente 67 und 164 erzeugt wird.

[0261] Eine push-artige Treiberschaltung 166 der Fig. 64 weist eine Konfiguration auf, die durch Herausnehmen der Transistoren 23 und 32 in Diodenverbindung aus der pushartigen Treiberschaltung 160 der Fig. 61 erhalten wird. Das Ausgangspotential VO ist gegeben durch $VO = V_I + |V_{TPI}| - V_{TN}$. Wenn es so gewählt wird, dass $|V_{TPI}| \approx V_{TN}$, dann ist $VO \approx V_I$. Alternativ kann die Treiberschaltung 166 in gleicher Weise wie die Treiberschaltung 160 der Fig. 61 verwendet werden, wenn erwogen wird, bei ihrer Verwendung einen Wert von $|V_{TPI}| - V_{TN}$ als einen Offsetwert zu verwenden. In dieser beispielhaften Modifikation kann eine Belegungsfläche der Schaltung reduziert werden, weil die Transistoren 23 und 32 herausgenommen sind.

Zur siebzehnten Ausführungsform

[0262] Wenn das Vorladungspotential VCP in der in Fig. 60 gezeigten Farb-Flüssigkristallanzeigeneinrichtung auf 5 Volt gesetzt wird, erstrecken sich die Abstufungspotentiale von 0 Volt bis 5 Volt (siehe Fig. 3); daher hat eine Treiberschaltung lediglich Entladungen der Datenleitung 6 durchzuführen, ohne dass eine Notwendigkeit besteht, diese zu laden. Daher werden pull-artige Treiberschaltungen in dieser Farb-Flüssigkristallanzeigeneinrichtung verwendet.

[0263] Fig. 65 ist ein Schaltplan, der eine Konfiguration einer pull-artigen Treiberschaltung 170 gemäß einer siebzehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 65 beinhaltet die Treiberschaltung 170 eine Pegelverschiebungsschaltung 63, eine konstante Stromquelle 171 und eine Pull-down-Schaltung 33. Die Pegelverschiebungsschaltung 63 und die Pull-down-Schaltung 33 sind die gleichen wie die in Fig. 17 gezeigten.

[0264] Das bedeutet, dass die Pegelverschiebungsschaltung 63 einen N-Transistor 26, in Serie zwischen den Knoten beim vierten Energieversorgungspotential V4 (5 V) und den Knoten beim fünften Energieversorgungspotential V5 (-10 V) geschaltet, einen P-Transistor 27 und eine konstante Stromquelle 64 beinhaltet. An das Gate des N-Transistors 26 wird am Eingangsknoten N20 ein Potential VI angelegt. Das Gate des P-Transistors 27 ist mit seinem Drain-Anschluss verbunden (Knoten N27). Der P-Transistor 27 arbeitet als ein Diodelement. Ein Stromwert der konstanten Stromquelle 64 ist auf den minimalen Wert gesetzt, der zur Erzeugung vorgegebener Schwellenspannungen der Transistoren 26 und 27 notwendig ist.

[0265] Ein Potential V26 an der Source (Knoten N26) des N-Transistors 26 ist gegeben durch $V26 = V_I - V_{TN}$. Ein Potential V127 an dem Drain-Anschluss (Knoten N27) des P-Transistors 27 ist gegeben durch $V27 = V_I - V_{TN} - |V_{TPI}|$. Daher gibt die Pegelverschiebungsschaltung 63 das Potential V27 aus, welches durch Verschieben des Eingangspotentials um $-V_{TN} - |V_{TPI}|$ erhalten wird.

[0266] Die konstante Stromquelle 171 ist zwischen den Knoten beim vierten Energieversorgungspotential V4 und den Ausgangsknoten N30 geschaltet. Die Pull-down-Schaltung 33 beinhaltet einen P-Transistor 35 und einen N-Transistor 34, in Serie zwischen den Knoten beim siebten Energieversorgungspotential V7 (-10 V) und den Ausgangsknoten N30 geschaltet. An das Gate des P-Transistors 35 wird ein Ausgangspotential V27 der Pegelverschiebungsschaltung 63 angelegt. Das Gate des N-Transistors 34 ist mit seinem Drain-Anschluss verbunden. Der N-Transistor 34 arbeitet als ein Diodelement. Weil das siebte Energieversorgungspotential V7 so gesetzt ist, dass der P-Transistor 35 in seinem Sättigungsbereich arbeitet, führt der P-Transistor 35 eine sogenannte Source-Follower-Arbeitsweise durch. Ein Stromwert der konstanten Stromquelle 71 ist auf den minimalen Wert gesetzt, der zur Erzeugung vorgegebener Schwellenspannungen der jeweiligen Transistoren 34 und 35 notwendig ist.

[0267] Ein Potential V34 an der Source (Knoten N34) des P-Transistors 35 ist durch $V34 = V27 + |V_{TPI}| = V_I - V_{TN}$ gegeben. Das Potential VO am Ausgangsknoten N30 ist durch $VO = V34 + V_{TN} = V_I$ gegeben.

[0268] In der siebzehnten Ausführungsform ist der insgesamt verbrauchte Strom gering, weil nur die Durchfließströme des minimalen Wertes, der zur Erzeugung vorgegebener Schwellenspannungen der jeweiligen Transistoren 26, 27, 34 und 35 notwendig ist, durch die Transistoren zu fließen haben.

[0269] Fig. 66 ist ein Schaltplan, der eine Konfiguration einer pull-artigen Treiberschaltung 172 entsprechend einer

beispielhaften Modifikation der siebzehnten Ausführungsform zeigt. Unter Bezugnahme auf Fig. 66 weist die pull-artige Treiberschaltung 172 eine Konfiguration auf, die durch Herausnahme der Transistoren 27 und 34 in Diodenschaltung aus der pull-artigen Treiberschaltung 170 der Fig. 65 erhalten wird. Das Ausgangspotential VO ist gegeben durch $VO = VI + IVTP1 - VTN$. Wenn $IVTP1 \approx VTN$ gesetzt ist, dann gilt jedoch $VO \approx VI$. Alternativ kann die Treiberschaltung 172 in gleicher Weise wie die Treiberschaltung 170 der Fig. 65 verwendet werden, wenn erwogen wird, bei ihrer Verwendung einen Wert von $IVTP1 - VTN$ als einen Offsetwert zu verwenden. In dieser beispielhaften Modifikation kann eine Belegungsfläche der Schaltung reduziert werden, da die Transistoren 27 und 34 herausgenommen sind.

Zur achtzehnten Ausführungsform

[0270] Die Fig. 67 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 175 gemäß einer achtzehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 67 weist die Treiberschaltung 175 eine Konfiguration auf, die durch Kombination der push-artigen Treiberschaltung 160 der Fig. 61 und einer pull-artigen Treiberschaltung 170 der Fig. 65 erhalten wird. Das Potential VI am Ringangsknoten N20 wird an das Gate des P-Transistors 24 der Pegelverschiebungsschaltung 61 und das Gate des N-Transistors 26 der Pegelverschiebungsschaltung 63 angelegt. Mit dem Ausgangsknoten N30 sind sowohl der Drain-Anschluss des P-Transistors 32 der pull-artigen Schaltung 30 und der Drain-Anschluss des N-Transistors 34 der Pull-down-Schaltung 33 verbunden.

[0271] Wenn das Ausgangspotential VO höher ist als das Eingangspotential VI, werden nicht nur die Transistoren 31 und 32 der Pull-up-Schaltung 30 nichtleitend, sondern außerdem werden die Transistoren 34 und 35 der Pull-down-Schaltung 33 leitend, um das Ausgangspotential VO abzusenken. Wenn das Ausgangspotential VO niedriger ist als das Eingangspotential VI, werden nicht nur die Transistoren 34 und 35 der Pull-down-Schaltung 33 nichtleitend, sondern außerdem werden die Transistoren 31 und 32 der Pull-up-Schaltung 30 leitend, um das Ausgangspotential VO zu erhöhen. Folglich wird $VO = VI$.

[0272] Die Treiberschaltung 175 wird als eine push-artige, eine pull-artige oder eine push-pull-artige Treiberschaltung verwendet. Wenn die Treiberschaltung 175 als eine push-artige Treiberschaltung verwendet wird, werden die Stromtreiberfähigkeiten der Transistoren 34 und 35 der Pull-down-Schaltung 33 auf einen Pegel gesetzt, der im Vergleich zur Stromtreiberfähigkeit der Transistoren 31 und 32 der Pull-up-Schaltung 30 in hinreichender Weise geringer ist. Wenn die Treiberschaltung 175 als eine pull-artige Treiberschaltung verwendet wird, werden die Stromtreiberfähigkeiten der Transistoren 31 und 32 der Pull-up-Schaltung 30 auf einen Pegel gesetzt, der in ausreichender Weise geringer ist, als die Stromtreiberfähigkeiten der Transistoren 34 und 35 der Pull-down-Schaltung 30. Wenn die Treiberschaltung 175 als eine push-pull-artige Treiberschaltung verwendet wird, werden die Stromtreiberfähigkeiten der Transistoren 31 und 32 der Pull-up-Schaltung 30 auf den gleichen Pegel gesetzt, wie die Stromtreiberfähigkeiten der Transistoren 34 und 35 der Pull-down-Schaltung 33.

[0273] In der achtzehnten Ausführungsform kann ebenfalls die Treiberschaltung 175 mit einem kleinen Durchfließstrom erhalten werden, was die Reduktion der verbrauchten Energie ermöglicht.

[0274] Fig. 68 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 176 gemäß einer beispielhaften Modifikation der achtzehnten Ausführungsform zeigt. Unter Bezugnahme auf Fig. 68 weist die Treiberschaltung 176 eine Konfiguration auf, die durch Herausnehmen der Transistoren 23, 27, 32 und 34 jeweils in Diodenverbindung aus der Treiberschaltung 170 der Fig. 67 erhalten wird. Das Ausgangspotential VO ist gegeben durch $VO = VI + IVTP1 - VTN$. Wenn $IVTP1 \approx VTN$ gesetzt ist, dann gilt $VO \approx VI$. Alternativ kann, wenn erwogen wird, einen Wert von $IVTP1 - VTN$ als einen Offsetwert zu verwenden, kann die Treiberschaltung 176 in gleicher Weise verwendet werden wie die Treiberschaltung 175 der Fig. 67. In dieser beispielhaften Modifikation kann eine Belegungsfläche der Schaltung reduziert werden, weil die Transistoren 23, 27, 32 und 34 herausgenommen sind.

[0275] Fig. 69 ist ein Schaltplan, der eine Treiberschaltung 180 gemäß einer weiteren beispielhaften Modifikation der achtzehnten Ausführungsform zeigt. In Fig. 69 weist die Treiberschaltung 180 eine Konfiguration auf, die durch Ersetzen der Pegelverschiebungsschaltungen 61 und 63 der Treiberschaltung 175 der Fig. 67 mit entsprechenden Pegelverschiebungsschaltungen 181 und 183 erhalten wird. Die Pegelverschiebungsschaltung 181 weist eine Konfiguration auf, die durch Ersetzen der konstanten Stromquelle 62 der Pegelverschiebungsschaltung 61 mit einem Widerstandselement 182 erhalten wird. Die Pegelverschiebungsschaltung 183 weist eine Konfiguration auf, die durch Ersetzen der konstanten Stromquelle 64 der Pegelverschiebungsschaltung 63 mit einem Widerstandselement 184 erhalten wird. Widerstandswerte der Widerstandselemente 182 und 184 sind auf solche Werte gesetzt, bei denen durch die Widerstandselemente 182 und 184 Ströme mit den gleichen Pegeln fließen, wie bei den konstanten Stromquellen 62 und 64. In dieser beispielhaften Modifikation kann ebenfalls der gleiche Effekt wie bei der Treiberschaltung 175 der Fig. 67 erhalten werden.

[0276] Fig. 70 ist ein Schaltplan, der eine Konfiguration einer Treiberschaltung 185 einer nochmals weiteren beispielhaften Modifikation der achtzehnten Ausführungsform zeigt. Unter Bezugnahme auf die Fig. 70 unterscheidet sich die Treiberschaltung 185 von der Treiberschaltung 175 der Fig. 67 darin, dass die konstante Stromquelle 161 zwischen den Ausgangsknoten N30 und den Knoten beim fünften Energieversorgungspotential V5 geschaltet ist. Weiterhin ist die konstante Stromquelle 171 zwischen den Knoten beim dritten Energieversorgungspotential V3 und den Ausgangsknoten N30 geschaltet.

[0277] Die konstanten Stromquellen 62, 64, 161 und 171 bestehen jeweils, wie in Fig. 71 gezeigt, aus einem Widerstandselement 67, P-Transistoren 65, 66 und 189, und N-Transistoren 186–188. Der P-Transistor 66, das Widerstandselement 67 und der N-Transistor 186 sind in Serie zwischen den Knoten beim dritten Potential V3 und dem Knoten beim fünften Potential V5 geschaltet. Das Gate des P-Transistors 66 ist mit seinem Drain-Anschluss verbunden und das Gate des N-Transistors 186 ist mit seinem Drain-Anschluss verbunden. Die Transistoren 66 und 186 arbeiten jeweils als ein Diodenelement.

[0278] Der P-Transistor 65 ist zwischen den Knoten beim dritten Energieversorgungspotential V3 und den Knoten N22 geschaltet. Sein Gate ist mit dem Gate des P-Transistors 66 verbunden. Der P-Transistor 189 ist zwischen den Knoten an der dritten Energieversorgung V3 und den Ausgangsknoten N30 geschaltet. Sein Gate ist mit dem Gate des P-Transistors

66 verbunden. Die P-Transistoren 66, 65 und 189 stellen eine Stromspiegelschaltung dar. Ströme mit einem Wert, der einem Strom entspricht, der im P-Transistor 66 fließt, fließen in den jeweiligen P-Transistoren 65 und 189. Die P-Transistoren 65 und 189 arbeiten jeweils als konstante Stromquellen 62 und 171.

- [0279] Der N-Transistor 187 ist zwischen den Knoten beim fünften Energieversorgungspotential V5 und den Knoten N27 geschaltet, und sein Gate ist mit dem Gate des N-Transistors 186 verbunden. Der N-Transistor 188 ist zwischen den Knoten beim fünften Energieversorgungspotential V5 und den Ausgangsknoten N30 geschaltet, und sein Gate ist mit dem Gate des N-Transistors 186 verbunden. Die N-Transistoren 186-188 stellen eine Stromspiegelschaltung dar. Ströme mit einem Wert, der einem Strom entspricht, der im N-Transistor 186 fließt, fließen durch die jeweiligen N-Transistoren 187 und 188. Die N-Transistoren 187 und 188 arbeiten jeweils als konstante Stromquellen 64 und 161. Weil die anderen Teile und Arbeitsweisen dieser Konfiguration die gleichen sind wie in der Treiberschaltung 175 der Fig. 67, werden jegliche diesbezügliche Beschreibungen nicht wiederholt. Bei Anwendung dieser beispielhaften Modifikation wird derselbe Effekt wie in der Treiberschaltung 175 der Fig. 67 erhalten.

Zur neunzehnten Ausführungsform

- [0280] Fig. 72 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung 190 mit einer Offsetsausgleichsfähigkeit gemäß einer neunzehnten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 72 weist die Treiberschaltung 190 mit einer Offsetsausgleichsfähigkeit eine Konfiguration auf, die durch Hinzufügen eines Kondensators 122 und von Schaltern S1-S4 zu der push-artigen Treiberschaltung 160 der Fig. 61 erhalten wird. Der Kondensator 122 und die Schalter S1-S4 stellen eine Offsetsausgleichsschaltung zum Ausgleich einer Offsetspannung VOF der push-artigen Treiberschaltung 160 dar.

- [0281] Das bedeutet, dass der Schalter S1 zwischen den Eingangsknoten N120 und Eingangsknoten N20 der Treiberschaltung 160 geschaltet ist. Der Schalter S4 ist zwischen den Ausgangsknoten N121 und N30 der Treiberschaltung 160 geschaltet. Der Kondensator 122 und der Schalter S2 sind in Serie zwischen den Eingangsknoten N20 der Treiberschaltung 160 und den Ausgangsknoten N30 geschaltet. Der Schalter S3 ist zwischen den Eingangsknoten N120 und den Knoten N122 der zwischen dem Kondensator 122 und dem Schalter S2 angeordnet ist, geschaltet.

- [0282] Nunmehr werden Arbeitsweisen der Treiberschaltung 190 mit einer Offsetsausgleichsfähigkeit beschrieben. In einem anfänglichen Zustand sind alle Schalter S1-S4 in einen ausgeschalteten Zustand gesetzt. Wenn die Schalter S1 und S2 zu einem Zeitpunkt in einen angeschalteten Zustand gesetzt werden, wird das Potential V20 am Eingangsknoten N20 der Treiberschaltung 160 zu $V20 = VI$. Das Ausgangspotential V30 der Treiberschaltung 121 und das Potential V122 am Knoten N122 werden zu $V30 = V122 = VI - VOF$, um den Kondensator 122 auf die Offsetspannung VOF zu laden.

- [0283] Wenn sodann die Schalter S1 und S2 in einen ausgeschalteten Zustand gesetzt werden, wird die Offsetspannung VOF im Kondensator 122 gehalten. Wenn sodann der Schalter S3 in einen angeschalteten Zustand gesetzt wird, wird das Potential V122 am Knoten N122 zu $V122 = VI$. Das Eingangspotential V20 der Treiberschaltung 160 wird getrieben auf $V20 = VI + VOF$. Als ein Ergebnis wird das Ausgangspotential V30 der Treiberschaltung 160 zu $V30 = V20 - VOF = VI$ und die Offsetspannung VOF der Treiberschaltung 160 wird aufgehoben. Wenn sodann der Schalter S4 in einen angeschalteten Zustand gesetzt wird, wird das Ausgangspotential VO auf $VO = VI$ getrieben und einer Last bereitgestellt.

- [0284] In der neunzehnten Ausführungsform kann die Offsetspannung VOF der push-artigen Treiberschaltung 160 aufgehoben werden, um zu bewirken, dass das Ausgangspotential VO und das Eingangspotential VI miteinander übereinstimmen.

- [0285] Eine push-artige Treiberschaltung 191 mit einer Offsetsausgleichsfähigkeit der Fig. 73 weist eine Konfiguration auf, die durch Hinzufügen eines Kondensators 122 und von Schaltern S1-S4 zu der pull-artigen Treiberschaltung 170 der Fig. 65 erhalten wird. In dieser beispielhaften Modifikation kann die Offsetspannung VOF der pull-artigen Treiberschaltung 191 aufgehoben werden, um zu bewirken, dass die Ausgangsspannung VO und das Eingangspotential VI miteinander übereinstimmen. Weiterhin versteht es sich von selbst, dass der gleiche Effekt ebenso in einer Konfiguration erhalten werden kann, die durch Hinzufügen eines Kondensators 122 und von Schaltern S1 und S4 zu jeder der Treiberschaltungen 165, 166 und 172 erhalten wird.

Zur zwanzigsten Ausführungsform

- [0286] Fig. 74 ist ein Blockschaltbild, das eine Konfiguration einer Treiberschaltung 195 mit einer Offsetsausgleichsfähigkeit gemäß einer zwanzigsten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 74 weist die Treiberschaltung 195 mit einer Offsetsausgleichsfähigkeit eine Konfiguration auf, die durch Hinzufügen von Kondensatoren 122a und 122b und von Schaltern S1a-S4a und S1b-S4b zu der Treiberschaltung 175 der Fig. 67 erhalten wird.

- [0287] Die Schalter S1a und S1b sind zwischen den Eingangsknoten N120 und die Gates (Knoten N20a und N20b) der jeweiligen Transistoren 24 und 26 geschaltet. Die Schalter S4a und S4b sind zwischen den Ausgangsknoten N121 und die Drain-Anschlüsse (Knoten N30a und N30b) der jeweiligen Transistoren 32 bzw. 34 geschaltet.

- [0288] Der Kondensator 122a und der Schalter S2a sind in Serie zwischen die Knoten N20a und N30a geschaltet. Der Kondensator 121b und der Schalter S2b sind in Serie zwischen die Knoten N20b und N30b geschaltet. Der Schalter S3a ist zwischen den Eingangsknoten N120 und den Knoten 122a, der zwischen dem Kondensator 122a und dem Schalter S2a angeordnet ist, geschaltet. Der Schalter S3b ist zwischen den Eingangsknoten N120 und den Knoten 122b, der zwischen dem Kondensator 122b und dem Schalter S2b angeordnet ist, geschaltet.

- [0289] Nunmehr werden Arbeitsweisen der Treiberschaltung 195 beschrieben. In einem anfänglichen Zustand sind alle Schalter S1a-S4a und S1b-S4b in einen ausgeschalteten Zustand gesetzt. Wenn die Schalter S1a, S2a, S1b und S2b zu einem Zeitpunkt in einen angeschalteten Zustand gesetzt werden, werden die Potentiale V30a und V30b an den Knoten N30a und N30b zu $V30a = VI - VOFa$ bzw. $V30b = VI - VOFb$. Die Kondensatoren 122a und 122b werden auf die jeweiligen Offsetspannungen VOFa und VOFb geladen.

[0290] Wenn sodann die Schalter S1a, S2a, S1b und S2b in einen ausgeschalteten Zustand gesetzt werden, werden die Offsetspannungen VOFa und VOFb in den Kondensatoren 122a und 122b gehalten. Wenn nachfolgend hierzu die Schalter S3a und S3b in einen angeschalteten Zustand gesetzt werden, werden die Potentiale an den Gates der Transistoren 24 und 26 zu $VI + VOFa$ bzw. $VI + VOFb$. Als ein Ergebnis sind die Potentiale V30a und V30b an den Knoten N30a und N30b gegeben durch $V30a = VI + VOFa - VOFa = VI$ bzw. $V30b = VI + VOFb - VOFb = VI$, um die Offsetspannungen VOFa und VOFb der Treiberschaltung 175 aufzuheben. Im letzten Stadium werden die Schalter S4a und S4b in einen angeschalteten Zustand gesetzt, um eine Beziehung $VO = VI$ zu erhalten.

[0291] In der zwanzigsten Ausführungsform treten keine Offsetspannungen auf. Hierdurch wird die Treiberschaltung 195 mit einer kleinen Treiberfähigkeit und einer geringen verbrauchten Energie erhalten.

[0292] Es versteht sich von selbst, dass der gleiche Effekt auch dadurch sichergestellt werden kann, dass die Kondensatoren 122a und 122b und die Schalter S1a-S4a und S1b-S4b zu jeder der Treiberschaltungen 176, 180 und 185 hinzugefügt werden.

[0293] Eine Treiberschaltung 196 mit einer Offsetsausgleichsfähigkeit der Fig. 75 weist eine Konfiguration auf, die durch Hinzufügen von Kondensatoren 126a und 126b zu der Treiberschaltung 195 mit einer Offsetsausgleichsfähigkeit der Fig. 74 erhalten wird. Die einen Elektroden der Kondensatoren 126a und 126b werden mit den entsprechenden Knoten N30a und N30b verbunden, während die jeweils anderen Elektroden der Kondensatoren ein Rücksetzsignal ΦR und ein hierzu komplementäres Signal ΦR empfangen.

[0294] In einem anfänglichen Zustand sind die Signale ΦR , bzw. ΦR auf den H-Pegel bzw. den L-Pegel gesetzt. Weil ein Stromwert einer konstanten Stromquelle 161 auf einen kleinen Wert gesetzt ist, fällt das Potential V30a am Knoten N30a graduell. Und zwar sogar dann, wenn die Schalter S1a und S2a in einen angeschalteten Zustand gesetzt werden, wenn das Potential V30a am Knoten N30a größer ist als das Eingangspotential VI. Weil ein Stromwert der konstanten Stromquelle 171 auf einen kleinen Wert gesetzt ist, nimmt das Potential V30b am Knoten N30b graduell zu, sogar dann, wenn die Schalter S1b und S2b in einen angeschalteten Zustand gesetzt werden, wenn das Potential V30b am Knoten N30b geringer ist als das Eingangspotential VI. Daher wird in dieser beispielhaften Modifikation nicht nur das Signal ΦR vom H-Pegel auf den L-Pegel abgesenkt, sondern auch das Signal ΦR vom L-Pegel auf den H-Pegel erhöht, unmittelbar nachdem die Schalter S1a, S2a, S1b und S2b in einen angeschalteten Zustand gesetzt werden. Hierdurch werden die Transistoren 31, 32, 34 und 35 leitend, um zu bewirken, dass die Potentiale V30a und V30b an den jeweiligen Knoten N30a und N30b rasch mit dem Eingangspotential VI zusammenfallen. Folglich kann in der beispielhaften Modifikation eine Hochgeschwindigkeitsarbeitsweise einer Treiberschaltung realisiert werden.

[0295] Eine Treiberschaltung 197 mit einer Offsetsausgleichsfähigkeit in Fig. 76 weist eine Konfiguration auf, die durch Ersetzen der Kondensatoren 126a und 126b der Treiberschaltung 196 mit einer Offsetsausgleichsfähigkeit mit einem N-Kanal-Transistor 131a bzw. einem P-Kanal-Transistor 131b erhalten wird. Der N-Kanal-Transistor 131a ist zwischen die Leitung am achten Energieversorgungspotential V8 und den Knoten N30a geschaltet und erhält das Rücksetzsignal $\Phi R'$ an seinem Gate. Der P-Transistor 131b ist zwischen den Knoten N30b und die Leitung beim neunten Energieversorgungspotential V9 geschaltet und erhält das Rücksetzsignal $\Phi R'$, welches komplementär zu dem Rücksetzsignal ΦR ist, an seinem Gate. Gewöhnlich befinden sich die Signale $\Phi R'$ und ΦR beim L-Pegel bzw. H-Pegel, um zu bewirken, dass der N-Transistor 131a und der P-Transistor 131b nicht leitend sind. Nicht nur wird das Signal $\Phi R'$ für eine vorgegebene Zeit impulsartig auf den H-Pegel gesetzt, sondern auch das Signal ΦR für eine vorgegebene Zeit impulsartig auf den L-Pegel gesetzt, unmittelbar nachdem die Schalter S1a, S2a, S1b und S2b in einen angeschalteten Zustand gesetzt werden. Hierdurch wird nicht nur der N-Transistor 131a impulsartig leitend, um das Potential V30a am Knoten N30a auf das achte Energieversorgungspotential V8 abzusinken, sondern auch der P-Transistor 131b wird impulsartig leitend, um das Potential V30b am Knoten N30b auf das neunte Energieversorgungspotential V9 zu erhöhen. In dieser beispielhaften Modifikation kann ebenfalls eine Hochgeschwindigkeitsarbeitsweise realisiert werden.

[0296] Eine Treiberschaltung 198 mit einer Offsetsausgleichsfähigkeit der Fig. 77 weist eine Konfiguration auf, die durch Hinzufügen eines P-Transistors 81 und eines N-Transistors 82 zu der Treiberschaltung 196 der Fig. 75 erhalten wird. Der P-Transistor 81 wird parallel zu einer konstanten Stromquelle 62 geschaltet und erhält ein Signal ΦP an seinem Gate. Der N-Transistor 82 ist parallel zu einer konstanten Stromquelle 64 geschaltet und erhält ein Signal ΦP an seinem Gate. In einem anfänglichen Zustand sind die Signale ΦP und ΦP auf H-Pegel bzw. L-Pegel gesetzt. Weil ein Stromwert einer konstanten Stromquelle 62 auf einen kleinen Wert gesetzt ist, nimmt das Potential V22 am Knoten N22 graduell zu, sogar dann, wenn die Schalter S1a und S2a in einen angeschalteten Zustand gesetzt werden, wenn das Potential V22 am Knoten N22 kleiner ist, als das Eingangspotential VI. Weil weiterhin ein Stromwert der konstanten Stromquelle 64 auf einen kleinen Wert gesetzt ist, fällt das Potential V27 am Knoten N27 graduell, sogar dann, wenn die Schalter S1b und S2b in einen angeschalteten Zustand gesetzt werden, wenn das Potential V27 am Knoten N27 größer ist als das Eingangspotential VI. Daher wird in dieser beispielhaften Modifikation nicht nur das Signal ΦP für eine vorgegebene Zeit impulsartig abgesenkt, sondern auch das Signal ΦP für eine vorgegebene Zeit impulsartig auf den H-Pegel angehoben, unmittelbar nachdem die Schalter S1a, S2a, S1b und S2b in einen angeschalteten Zustand gesetzt werden. Dadurch werden die Transistoren 81 und 82 impulsartig leitend und nicht nur nimmt das Potential V22 am Knoten N22 rasch zu, sondern das Potential V27 am Knoten N27 fällt schnell ab. Daher kann in der beispielhaften Modifikation eine Hochgeschwindigkeitsarbeitsweise einer Treiberschaltung realisiert werden.

Zur einundzwanzigsten Ausführungsform

[0297] In der push-artigen Treiberschaltung 190 mit einer Offsetsausgleichsfähigkeit der Fig. 72 ist es erforderlich, dass die Transistoren 31 und 32 leitend werden, um eine Offsetspannung VOF zu erzeugen, wenn die Schalter S1 und S2 in einen angeschalteten Zustand gesetzt werden. Um zu bewirken, dass Transistoren 31 und 32 ohne Versagen leitend werden, wenn die Schalter S1 und S2 in einen angeschalteten Zustand gesetzt werden, ist es erforderlich, dass das Potential V30 am Knoten N30 auf ein festes Potential $V_{\min} - \Delta V_{\max}$, welches durch Subtraktion des maximalen Wertes ΔV_{\max} der Offsetspannung VOF von dem minimalen Wert V_{\min} des Eingangspotentials VI erhalten wird, zurückgesetzt wird,

bevor die Schalter S1 und S2 in einen angeschalteten Zustand gesetzt werden. Darüberhinaus ist es erforderlich, den Fluss eines großen Stromes in die Transistoren 31 und 32 zu verhindern, wenn das feste Potential $V_{\min} - \Delta V_{\max}$ an den Knoten N30 angelegt ist. In der einundzwanzigsten Ausführungsform wird dieses Problem gelöst.

- [0298] Fig. 78 ist ein Blockschaltbild, das eine Konfiguration einer push-artigen Treiberschaltung 200 mit einer Offsetsausgleichsfähigkeit gemäß einer einundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt. In Fig. 78 weist die push-artige Treiberschaltung 200 mit einer Offsetsausgleichsfähigkeit eine Konfiguration auf, die durch Hinzufügen der N-Transistoren 201, 202 und 204 und eines P-Transistors 203 zu der Treiberschaltung 190 der Fig. 72 erhalten wird. Die Transistoren 201–204 stellen eine Rücksetzschaltung zur Initialisierung des Potentials V30 am Knoten N30 dar.
- [0299] Das bedeutet, dass die Transistoren 201–203 in Serie zwischen dem Knoten N22 und den Knoten bei der Masse GND geschaltet sind. Das Gate des N-Transistors 201 erhält ein Taktsignal CLK. Das Gate des N-Transistors 202 ist mit seinem Drain-Anschluss verbunden. Der N-Transistor 202 arbeitet als ein Diodelement. Das Gate des P-Transistors 203 erhält ein festes Potential $V_{\min} - \Delta V_{\max}$, welches durch Subtrahieren des maximalen Wertes ΔV_{\max} der Offsetspannung VOF vom minimalen Wert V_{\min} des Eingangspotentials VI erhalten wird. Der Drain-Anschluss des N-Transistors 204 ist mit dem Knoten N30 verbunden, dessen Source das feste Potential $V_{\min} - \Delta V_{\max}$ erhält und dessen Gate das Taktsignal CLK erhält.

- [0300] Das Taktsignal CLK ist für eine vorgegebene Zeit impulsartig auf den H-Pegel gesetzt, und zwar während einer Periode, bei der die Schalter S1 und S2 in einem angeschalteten Zustand gehalten werden. Hierdurch wird der N-Transistor 204 leitend, um das Potential V30 am Knoten N30 auf das feste Potential $V_{\min} - \Delta V_{\max}$ zu treiben, um zu bewirken, dass die Transistoren 31 und 32 leitend werden, und um die Offsetspannung VOF zu erzeugen. Der N-Transistor 201 wird leitend, um zu bewirken, dass das Potential V22 am Knoten N22 zu einem Potential $V_{\min} - \Delta V_{\max} + |V_{TP}| + V_{TN}$ wird, welches durch Hinzufügen des absoluten Wertes $|V_{TP}|$ eines Schwellenwertes des P-Transistors 203 und der Schwellenspannung V_{TN} des N-Transistors 201 zu dem festen Potential $V_{\min} - \Delta V_{\max}$ erhalten wird. Zu diesem Zeitpunkt fließt nur ein geringer Strom in den Transistoren 31 und 32, weil eine Potentialdifferenz zwischen den Knoten N22 und N30 $|V_{TP}| + V_{TN}$ ist. Die weiteren Teile und dazugehörigen Arbeitsweisen sind die gleichen wie in der Treiberschaltung 190 der Fig. 72. Daher werden jegliche diesbezüglichen Beschreibungen hier nicht wiederholt.

- [0301] In der einundzwanzigsten Ausführungsform stimmen das Ausgangspotential VO und das Eingangspotential VI in korrekter Weise miteinander überein und die Treiberschaltung 200 mit niedrigem Energieverbrauch wird erhalten.

- [0302] Es ist anzumerken, dass die N-Transistoren 201 und 204 unter Verwendung anderer Signale gesteuert werden können. Weiterhin können die N-Transistoren 201 und 204 durch P-Transistoren ersetzt werden. Es ist allerdings erforderlich, ein zu dem Signal CLK komplementäres Signal $\overline{\text{CLK}}$ an die Gates der P-Transistoren zu geben. Wenn ein vorgegebenes Potential am Knoten N22 anliegt, kann der Drain-Anschluss des P-Transistors 203 mit einem Knoten bei einem anderen Potential als dem Massepotential GND verbunden werden. Darüberhinaus kann ein Anschluss auf der Seite des niedrigeren Potentials der konstanten Stromquelle 161 mit einem Knoten bei einem anderen Potential als dem Massepotential GND verbunden werden, wenn ein vorgegebener Strom fließt.

Zur zweiundzwanzigsten Ausführungsform

- [0303] In einer pull-artigen Treiberschaltung 191 mit einer Offsetsausgleichsfähigkeit der Fig. 73 ist es, wenn die Schalter S1 und S2 in einen angeschalteten Zustand versetzt werden, zum Erzeugen einer Offsetspannung VOF erforderlich, die Transistoren 34 und 35 leitend zu machen. Um zu bewirken, dass die Transistoren 34 und 35 ohne Versagen leitend werden, wenn die Schalter S1 und S2 in einen angeschalteten Zustand versetzt werden, ist es erforderlich, das Potential V30 am Knoten N30 auf das feste Potential $V_{\max} + \Delta V_{\max}$, welches durch Hinzufügen des maximalen Wertes ΔV_{\max} der Offsetspannung VOF zu dem maximalen Wert V_{\max} des Eingangspotentials VI erhalten wird, zurückzusetzen, bevor die Schalter S1 und S2 in einen angeschalteten Zustand versetzt werden. Es ist erforderlich, zu verhindern, dass ein großer Strom durch die Transistoren 34 und 35 fließt, wenn das feste Potential $V_{\max} + \Delta V_{\max}$ an dem Knoten N30 anliegt. In der zweiundzwanzigsten Ausführungsform ist dieses Problem gelöst.

- [0304] Fig. 79 ist ein Blockschaltbild, das eine Konfiguration einer pull-artigen Treiberschaltung 210 mit einer Offsetsausgleichsfähigkeit gemäß einer zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt. In der Fig. 79 weist die pull-artige Treiberschaltung 210 mit einer Offsetsausgleichsfähigkeit eine Konfiguration auf, die durch Hinzufügen eines N-Transistors 211 und P-Transistoren 212 bis 214 zu der Treiberschaltung 191 der Fig. 73 erhalten wird. Die Transistoren 211–214 stellen eine Rücksetzschaltung zur Initialisierung des Potentials V30 am Knoten N30 dar.

- [0305] Das heißt, die Transistoren 211–213 sind in Serie zwischen den Knoten beim vierten Energieversorgungspotential V4 und dem Knoten N27 geschaltet. Das Gate des P-Transistors 211 empfängt ein festes Potential $V_{\max} + \Delta V_{\max}$, welches durch Hinzufügen des maximalen Wertes ΔV_{\max} der Offsetspannung VOF zum maximalen Wert V_{\max} des Eingangspotentials VI erhalten wird. Das Gate des P-Transistors 212 ist mit seinem Drain-Anschluss verbunden. Der P-Transistor 212 arbeitet als ein Diodelement. Das Gate des P-Transistors 213 erhält ein komplementäres Taktsignal $\overline{\text{CLK}}$. Der Drain-Anschluss des P-Transistors 214 ist mit dem Knoten N30 verbunden. Seine Source erhält das feste Potential $V_{\max} + \Delta V_{\max}$ und sein Gate erhält das komplementäre Taktsignal $\overline{\text{CLK}}$.

- [0306] Das komplementäre Taktsignal $\overline{\text{CLK}}$ ist für eine vorgegebene Zeit impulsartig auf den L-Pegel gesetzt, und zwar während einer Periode, bei der die Schalter S1 und S2 in einem angeschalteten Zustand gehalten werden. Hierdurch wird der P-Transistor 214 leitend, um das Potential V30 am Knoten N30 auf ein festes Potential $V_{\max} + \Delta V_{\max}$ zu treiben, und die Transistoren 34 und 35 werden leitend, um eine Offsetspannung VOF zu erzeugen. Der P-Transistor 213 wird leitend, um ein Potential V27 am Knoten N27 auf ein Potential $V_{\max} + \Delta V_{\max} - V_{TN} - |V_{TP}|$ zu treiben, welches durch Subtrahieren der Schwellenspannung V_{TN} des N-Transistors 211 und des absoluten Wertes $|V_{TP}|$ eines Schwellenwertes des P-Transistors 212 vom festen Potential $V_{\max} + \Delta V_{\max}$ erhalten wird. Weil eine Potentialdifferenz zwischen den Knoten N30 und N27 den Wert $V_{TN} + |V_{TP}|$ annimmt, fließt nur ein kleiner Strom durch die Transistoren 34 und 35. Die anderen Teile der Konfiguration und die entsprechenden Arbeitsweisen sind die gleichen wie in der Treiber-

schaltung 191 der Fig. 73, daher werden jegliche diesbezüglichen Beschreibungen hier nicht wiederholt.

[0307] In der zweiundzwanzigsten Ausführungsform stimmen das Ausgangspotential VO und das Eingangspotential VI in korrekter Weise miteinander überein und die Treiberschaltung 210 mit niedrigem Energieverbrauch wird erhalten.

[0308] Es ist anzumerken, dass die P-Transistoren 213 und 214 durch andere Signale gesteuert werden können. Darüberhinaus kann jeder der P-Transistoren 213 und 214 durch N-Transistoren ersetzt werden. Es ist jedoch erforderlich, dass ein zum Signal /CLK komplementäres Signal CLK an die Gates der N-Transistoren gegeben wird. Wenn ein vorgegebenes Potential am Knoten N27 anliegt, kann der Drain-Anschluss des N-Transistors 211 mit einem Knoten bei einem anderen Potential als dem vierten Energieversorgungspotential V4 verbunden werden. Wenn ein vorgegebener Strom fließt, kann ein Anschluss auf der Seite des höheren Potentials der konstanten Stromquelle 165 mit einem Knoten bei einem anderen Potential als dem vierten Energieversorgungspotential V4 verbunden werden. Darüberhinaus kann selbstverständlich, wenn die Treiberschaltung 200 der Fig. 78 und die Treiberschaltung 210 der Fig. 79 miteinander parallel geschaltet werden, eine push-pull-artige Schaltung mit einer guten Offsetausgleichsfähigkeit erhalten werden.

[0309] Es bleibt anzumerken, dass in den obigen ersten bis zweiundzwanzigsten Ausführungsformen Feldeffekttransistoren entweder MOS-Transistoren oder Dünnschicht-Transistoren (TFT) sein können. Ein Dünnschicht-Transistor kann entweder aus einem dünnen Halbleiterfilm, wie etwa einem dünnen Polysilikon-Film, einem amorphen Silikon-Film oder dergleichen bestehen oder aus einem isolierenden Substrat, wie etwa einem Harz-Substrat, einem Glas-Substrat oder dergleichen ausgebildet sein.

[0310] Obwohl die vorliegende Erfindung im Detail beschrieben und erläutert wurde, versteht es sich von selbst, dass dieses erläuternd und beispielhaft vorgenommen wurde und nicht als abgrenzend zu verstehen ist. Der Geist und der Rahmen der vorliegenden Erfindung wird nur durch die Formulierung der beigefügten Ansprüche abgegrenzt.

Patentsprüche

1. Treiberschaltung zum Ausgeben eines Potentials (VO), das einem Eingangspotential (VI) entspricht, an einen Ausgangsknoten (N30), gekennzeichnet durch eine erste Pegelverschiebungsschaltung (61), die ein Potential ausgibt, das durch Pegelverschieben des Eingangspotentials (VI) um eine vorgegebene erste Spannung in eine erste Potentialrichtung erhalten wird, und eine zweite Pegelverschiebungsschaltung (30), die ein Potential, das durch Pegelverschieben eines Ausgangspotentials der ersten Pegelverschiebungsschaltung (61) um eine vorgegebene zweite Spannung in eine zweite Potentialrichtung, die zu der ersten Potentialrichtung entgegengesetzt ist, an den Ausgangsknoten (N30) ausgibt.
2. Treiberschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die erste Pegelverschiebungsschaltung (61) ein erstes strombegrenzendes Element (65) mit einer ersten Elektrode, die ein erstes Energieversorgungspotential (V3) erhält, und einen ersten Transistor (24) eines ersten Leitfähigkeitstyps mit einer ersten Elektrode, die mit der anderen Elektrode des ersten strombegrenzenden Elements (65) verbunden ist, einer zweiten Elektrode, die ein zweites Energieversorgungspotential (GND) empfängt, und einer Eingangsselektrode, die das Eingangspotential (VI) erhält, aufweist und die zweite Pegelverschiebungsschaltung (30) einen zweiten Transistor (31) eines zweiten Leitfähigkeitstyps mit einer ersten Elektrode, die ein drittes Energieversorgungspotential (V6) erhält, einer zweiten Elektrode, die mit dem Ausgangsknoten (N30) verbunden ist, und einer Eingangsselektrode, die mit der anderen Elektrode des ersten strombegrenzenden Elements (65) verbunden ist, aufweist.
3. Treiberschaltung nach Anspruch 2, dadurch gekennzeichnet, dass die erste Pegelverschiebungsschaltung (61) weiterhin einen dritten Transistor (23) des zweiten Leitfähigkeitstyps mit einer ersten Elektrode und einer Eingangsselektrode, die mit der anderen Elektrode des ersten strombegrenzenden Elements (65) verbunden ist, und einer zweiten Elektrode, die mit der ersten Elektrode des ersten Transistors (24) verbunden ist, aufweist und die zweite Pegelverschiebungsschaltung (30) weiterhin einen vierten Transistor (32) des ersten Leitfähigkeitstyps mit einer ersten Elektrode, die mit der zweiten Elektrode des zweiten Transistors (31) verbunden ist, einer zweiten Elektrode und einer Eingangsselektrode, die mit dem Ausgangsknoten (N30) verbunden ist, aufweist.
4. Treiberschaltung nach Anspruch 3 dadurch gekennzeichnet, dass die zweite Pegelverschiebungsschaltung (30, 162) weiterhin ein zweites strombegrenzendes Element (162), das zwischen den Ausgangsknoten (N30) und eine Leitung bei einem vierten Energieversorgungspotential (GND) geschaltet ist, aufweist.
5. Treiberschaltung nach Anspruch 4, dadurch gekennzeichnet, dass sich die ersten und dritten Energieversorgungspotentiale (V3, V6) bei dem gleichen Potential befinden und sich die zweiten und vierten Energieversorgungspotentiale (GND, GND) bei dem gleichen Potential befinden.
6. Treiberschaltung nach Anspruch 4, dadurch gekennzeichnet, dass das erste und das zweite strombegrenzende Element ein erstes bzw. zweites Widerstandselement (182, 161) ist.
7. Treiberschaltung nach Anspruch 4, dadurch gekennzeichnet, dass das erste strombegrenzende Element ein fünfter Transistor (65) des ersten Leitfähigkeitstyps mit einer Eingangsselektrode, die eine erste konstante Spannung erhält, ist und das zweite strombegrenzende Element ein sechster Transistor (162) des zweiten Leitfähigkeitstyps mit einer Eingangsselektrode, die eine zweite konstante Spannung erhält, ist.
8. Treiberschaltung nach Anspruch 7, gekennzeichnet durch eine Schaltung zum Erzeugen einer konstanten Spannung (66, 67, 163, 164) die die erste und zweite konstante Spannung erzeugt.
9. Treiberschaltung nach Anspruch 1, gekennzeichnet durch eine erste Impulserzeugerschaltung (76, 81), die ein Potential an einem ersten Knoten (N22) zwischen der ersten und zweiten Pegelverschiebungsschaltung (61, 30) in Reaktion auf eine Änderung des Eingangspotentials (VI) in die erste Potentialrichtung impulsartig in die erste Po-

tentialrichtung ändert.

10. Treiberschaltung nach Anspruch 9, dadurch gekennzeichnet, dass die erste Impulserzeugerschaltung (76, 81) einen ersten Kondensator (76) mit einer Elektrode, die mit dem ersten Knoten (N22) verbunden ist, und einer weiteren Elektrode, an der bewirkt wird, dass ein Potential (ΦB) sich in Reaktion auf eine Änderung des Eingangspotentials (VI) in die erste Potentialrichtung impulsartig in die erste Potentialrichtung ändert, aufweist.

11. Treiberschaltung nach Anspruch 10, gekennzeichnet durch

einen siebenten Transistor (101) des ersten Leitfähigkeitstyps mit einer ersten Elektrode, die das erste Energieversorgungspotential (V3) erhält, und einer zweiten Elektrode, die mit dem ersten Knoten (N22) verbunden ist, und eine dritte Pegelverschiebungsschaltung (97-100), die ein Potential (V99) erzeugt, das durch Pegelverschieben des Eingangspotentials (VI) um die Summe der ersten Spannung und einer Schwellenspannung des siebenten Transistors in der ersten Potentialrichtung erhalten wird, und das erzeugte Potential (V99) an eine Eingangs Elektrode des siebenten Transistors (101) gibt.

12. Treiberschaltung nach Anspruch 9, dadurch gekennzeichnet, dass die erste Impulserzeugerschaltung (76, 81) ein erstes Schaltelement (81) mit einer Elektrode, die ein fünftes Energieversorgungspotential (V3) erhält, und einer weiteren Elektrode, die mit dem ersten Knoten (N22) verbunden ist, das in Reaktion auf eine Änderung des Eingangspotentials (VI) in der ersten Potentialrichtung impulsartig leitend wird, aufweist.

13. Treiberschaltung nach Anspruch 12, dadurch gekennzeichnet, dass die erste Impulserzeugerschaltung (76, 81, 86) weiterhin eine Strombegrenzerschaltung (86) aufweist, die verhindert, dass ein Strom zwischen dem ersten Knoten (N22) und dem Knoten beim zweiten Energieversorgungspotential (GND) fließt, wenn das erste Schaltelement (81) leitend ist,

14. Treiberschaltung nach Anspruch 1, gekennzeichnet durch

eine Offsetsausgleichsschaltung (122, S1-S3), die eine Offsetspannung der Treiberschaltung kompensiert, wobei ein Ausgangspotential der zweiten Pegelverschiebungsschaltung (30) anstatt zum Ausgangsknoten (N121) an einen zweiten Knoten (N30) ausgegeben wird und die Offsetsausgleichsschaltung (122, S1-S3) aufweist:

einen zweiten Kondensator (122),

eine erste Schalteinrichtung (S1, S2), die nicht nur das Eingangspotential (VI) an die eine Elektrode des zweiten Kondensators (122) gibt, sondern auch die andere Elektrode des zweiten Kondensators (122) mit dem zweiten Knoten (N30) verbindet,

eine zweite Schalteinrichtung (S3), die nicht nur das Eingangspotential (VI) an die andere Elektrode des zweiten Kondensators (12) gibt, sondern auch anstatt des Eingangspotentials (VI) ein Potential an der einen Elektrode des zweiten Kondensators (122) an die erste Pegelverschiebungsschaltung (61) gibt, und

eine dritte Schalteinrichtung (S4), die ein Potential am zweiten Knoten (N30) zum Ausgangsknoten (N121) gibt.

15. Treiberschaltung nach Anspruch 14, dadurch gekennzeichnet, dass die Offsetsausgleichsschaltung (122, S1-S3, 126a, 204) weiterhin eine zweite Impulserzeugerschaltung (126a, 204) aufweist, die ein Potential am zweiten Knoten (N30) impulsartig in die zweite Richtung, die entgegengesetzt zu der ersten Richtung ist, während einer Periode ändert, bei der nicht nur das Eingangspotential (VI) durch die erste Schalteinrichtung (S1, S2) an eine Elektrode des zweiten Kondensators (122) gegeben wird, sondern auch die andere Elektrode des zweiten Kondensators (122) mit dem zweiten Knoten (N30) verbunden ist.

16. Treiberschaltung nach Anspruch 15, dadurch gekennzeichnet, dass die zweite Impulserzeugerschaltung (126a) einen dritten Kondensator (126a) mit einer Elektrode, die mit dem zweiten Knoten (N30a) verbunden ist, und einer weiteren Elektrode aufweist, an der bewirkt wird, dass ein Potential sich in die zweite Potentialrichtung, die zu der ersten Potentialrichtung entgegengesetzt ist, gemäß einem vorgegebenen Zeitablauf ändert.

17. Treiberschaltung nach Anspruch 15, dadurch gekennzeichnet, dass die zweite Impulserzeugerschaltung (204) ein zweites Schaltelement (204) mit einer Elektrode, die mit dem zweiten Knoten (N30) verbunden ist, und einer weiteren Elektrode, die ein sechstes Energieversorgungspotential ($V_{\min} - \Delta V_{\max}$) erhält, das gemäß einem vorgegebenen Zeitablauf impulsartig leitend wird, aufweist.

18. Treiberschaltung nach Anspruch 17, dadurch gekennzeichnet, dass die zweite Impulserzeugerschaltung (201-204) weiterhin eine Strombegrenzerschaltung (201-203) aufweist, die einen Ausgangsstrom der zweiten Pegelverschiebungsschaltung (30) begrenzt, wenn das zweite Schaltelement (204) leitend ist.

19. Treiberschaltung nach Anspruch 1, gekennzeichnet durch

eine vierte Pegelverschiebungsschaltung (63), die ein Potential ausgibt, das durch Pegelverschieben des Eingangspotentials (VI) um die zweite Spannung in die zweite Potentialrichtung, die zu der ersten Potentialrichtung entgegengesetzt ist, erhalten wird, und

eine fünfte Pegelverschiebungsschaltung (33), die ein Potential, das durch Pegelverschieben eines Ausgangspotentials der vierten Pegelverschiebungsschaltung (63) um die erste Spannung in der ersten Potentialrichtung erhalten wird, an den Ausgangsknoten (N30) ausgibt.

20. Treiberschaltung nach Anspruch 19, gekennzeichnet durch einen dritten Kondensator (29) mit einer Elektrode und einer weiteren Elektrode, die Ausgangspotentiale der ersten bzw. vierten Pegelverschiebungsschaltung (61, 63) empfangen und einen Änderungsbetrag eines Ausgangspotentials einer Pegelverschiebungsschaltung von der ersten und vierten Pegelverschiebungsschaltung (61, 63) zu einem Ausgangspotential der anderen Pegelverschiebungsschaltung mittels kapazitiver Kopplung addieren.

Hierzu 79 Seite(n) Zeichnungen

- Leerseite -

FIG.1

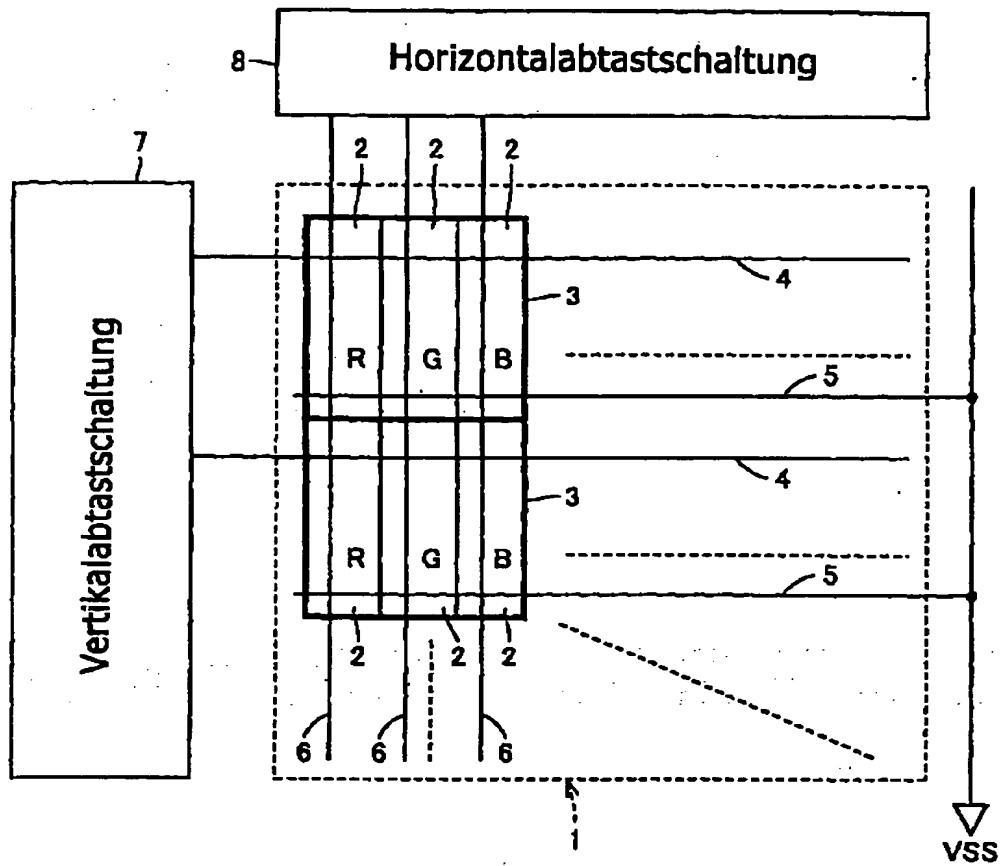


FIG.2

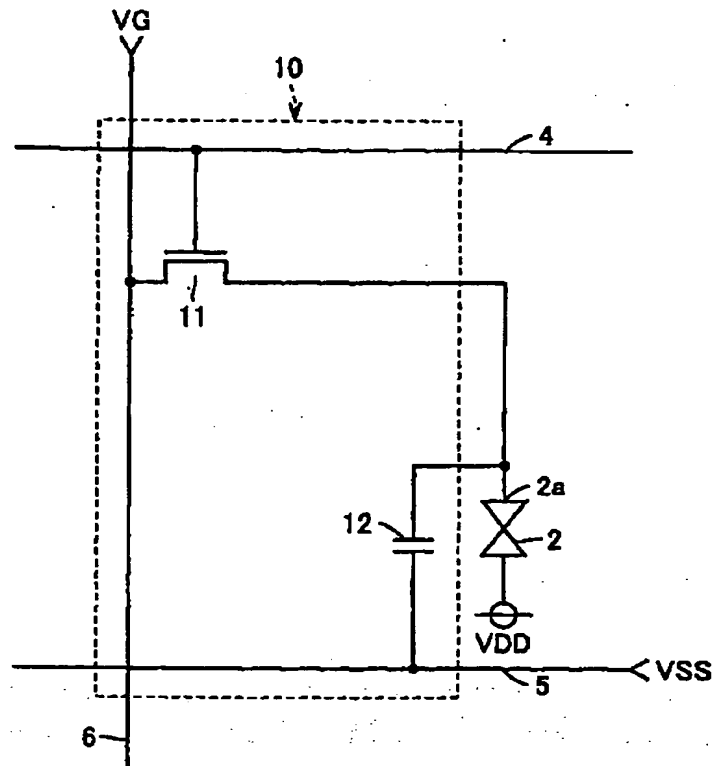


FIG.3

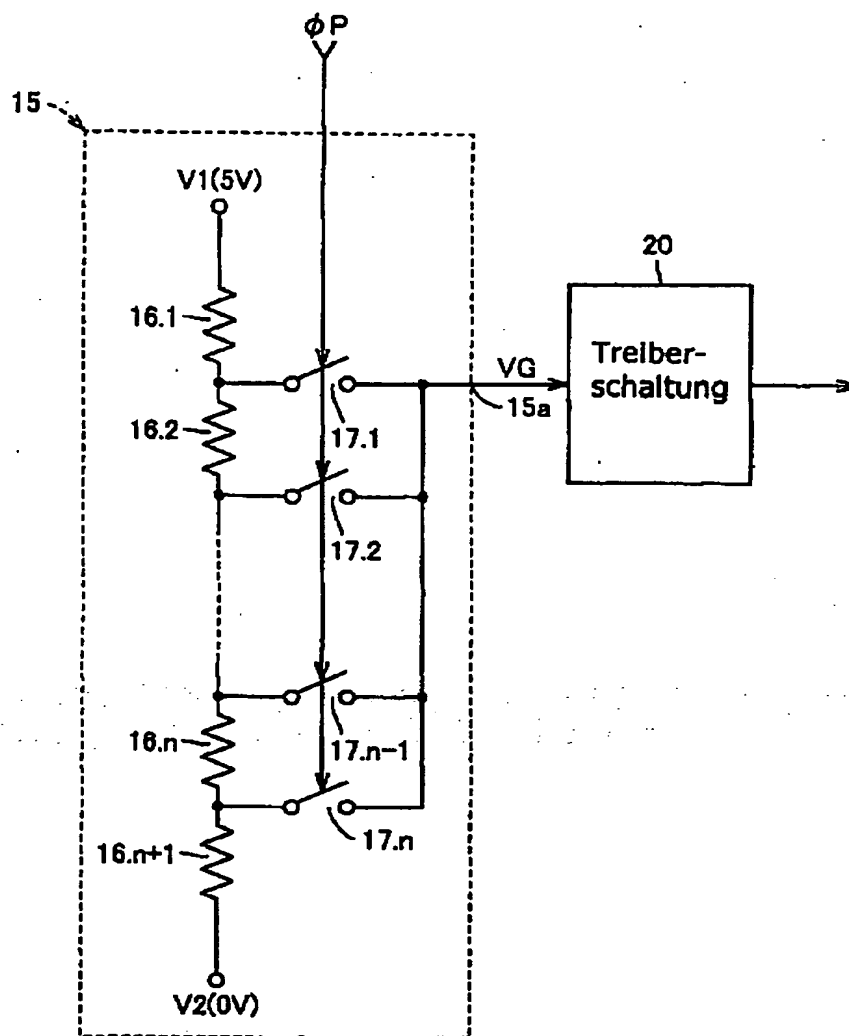


FIG.5

20

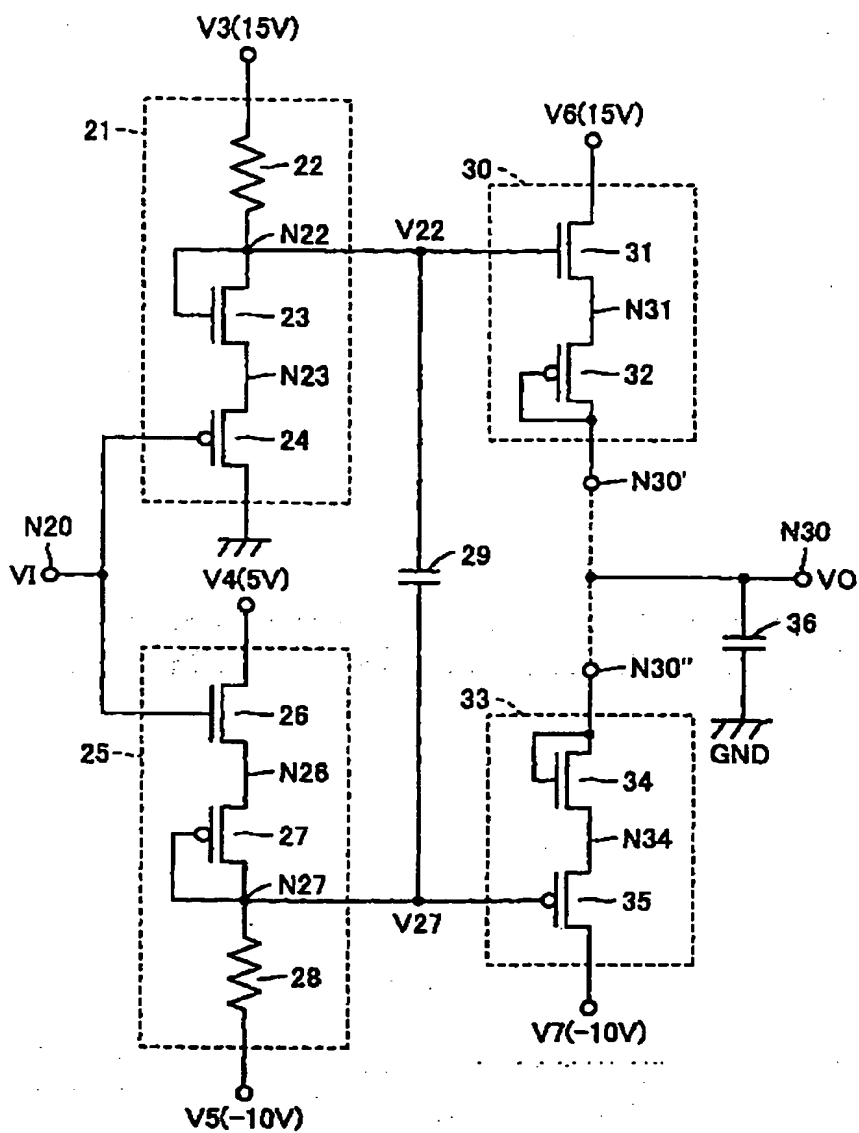


FIG.6

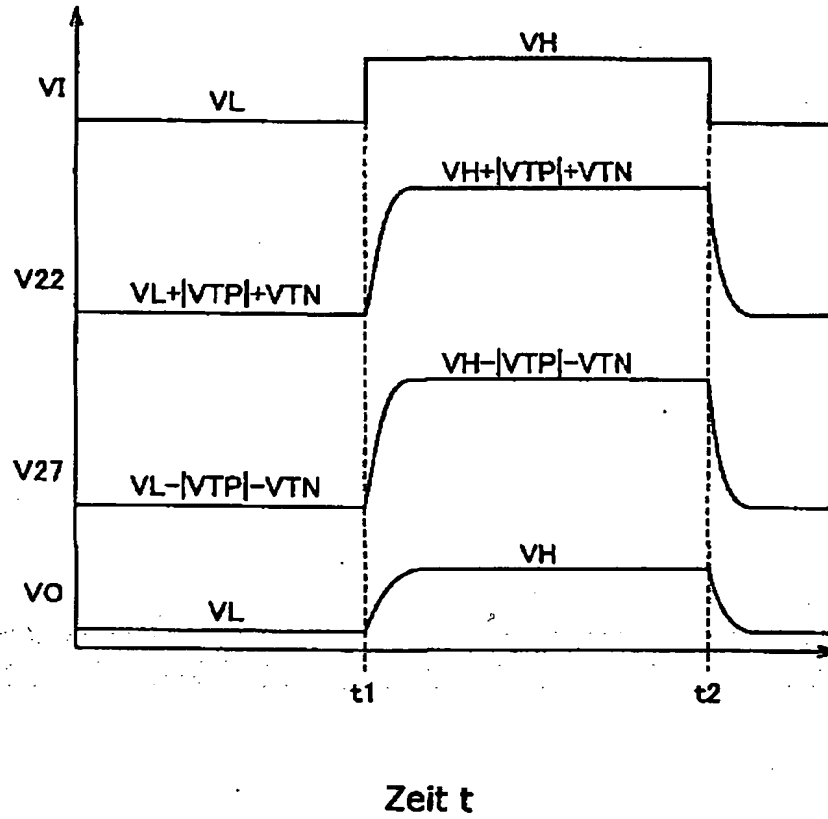


FIG. 7

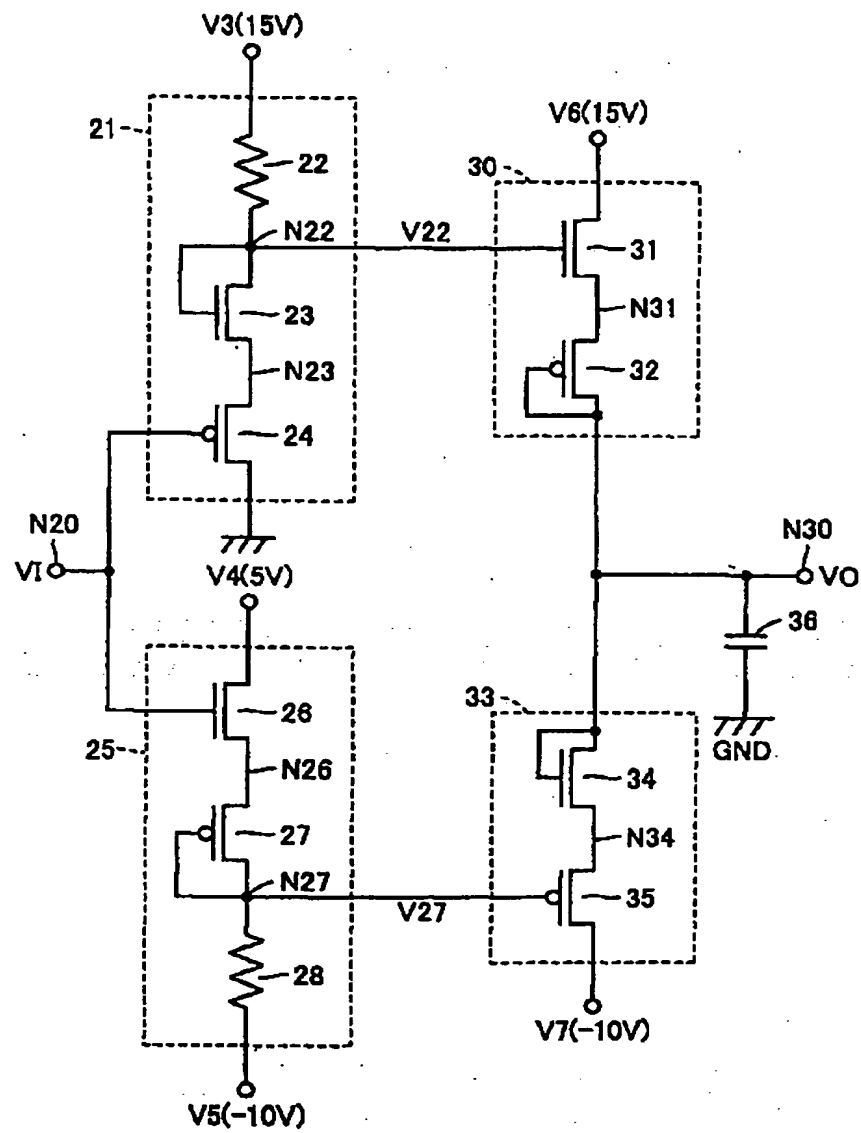
36

FIG.8

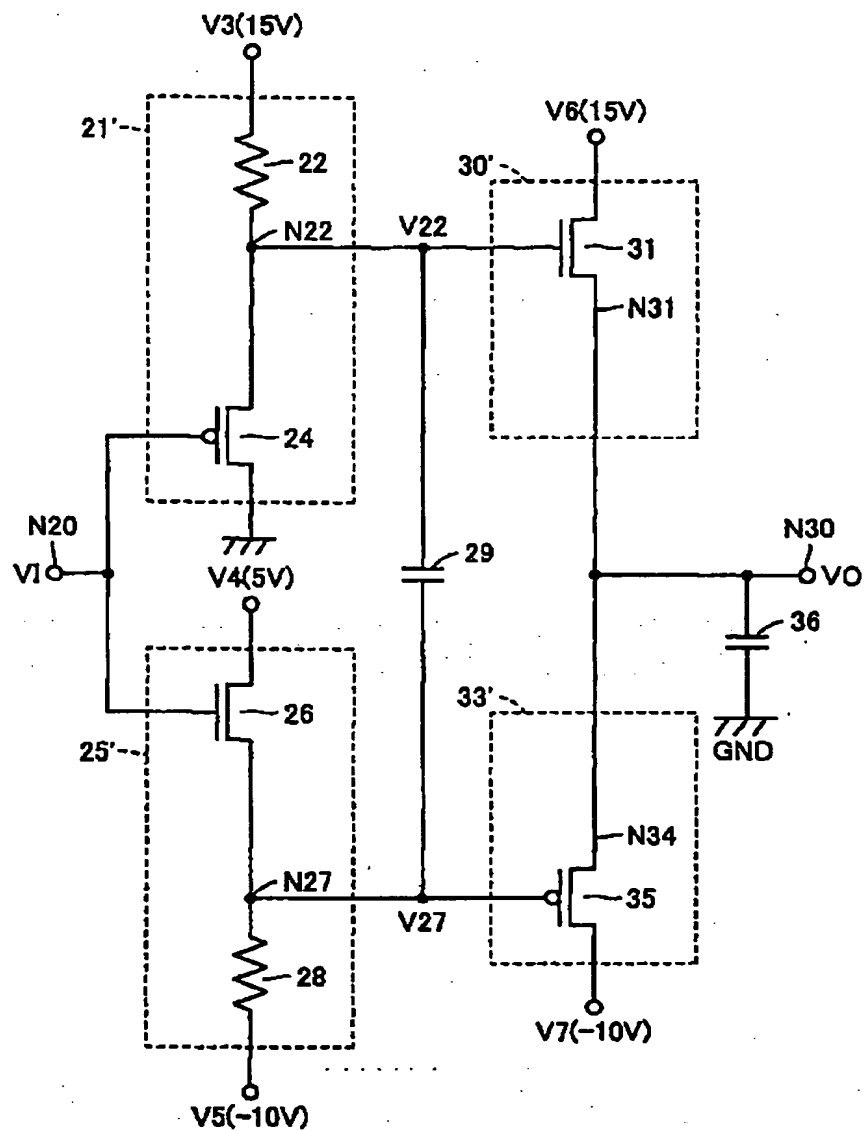
37

FIG. 9

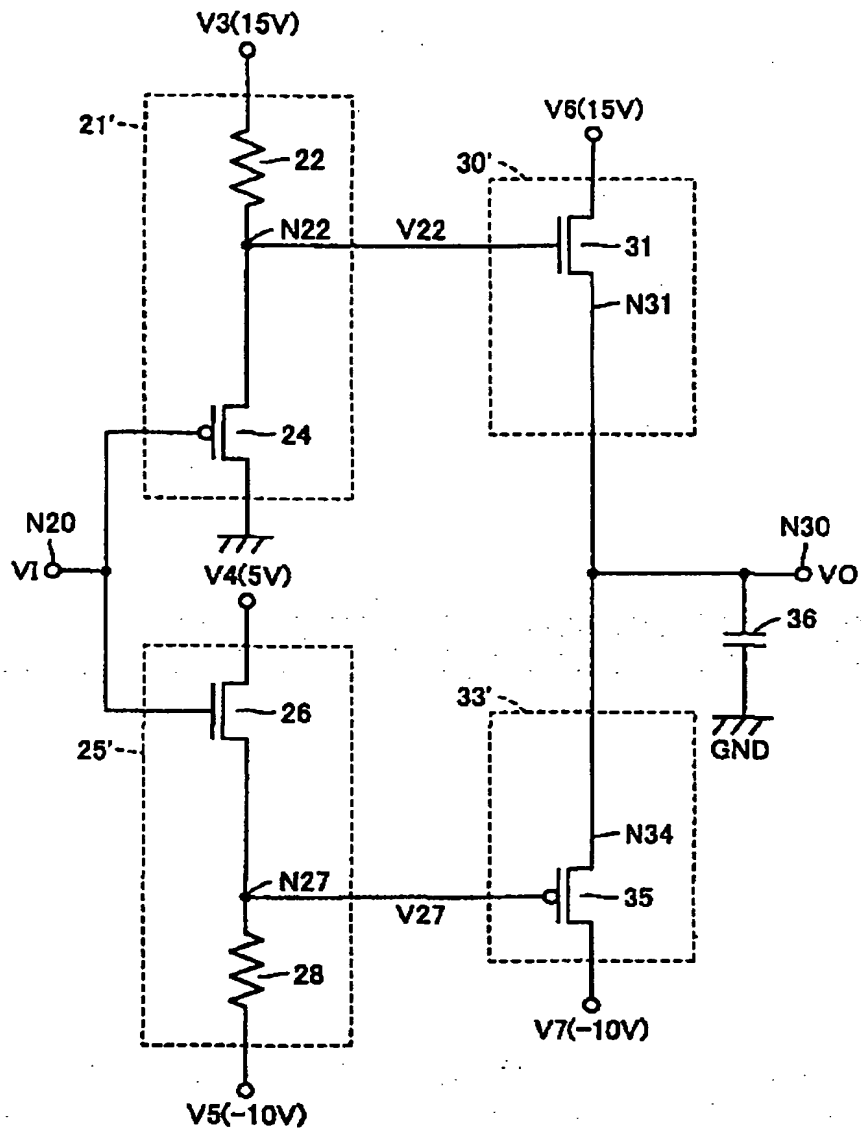
38

FIG.10

40

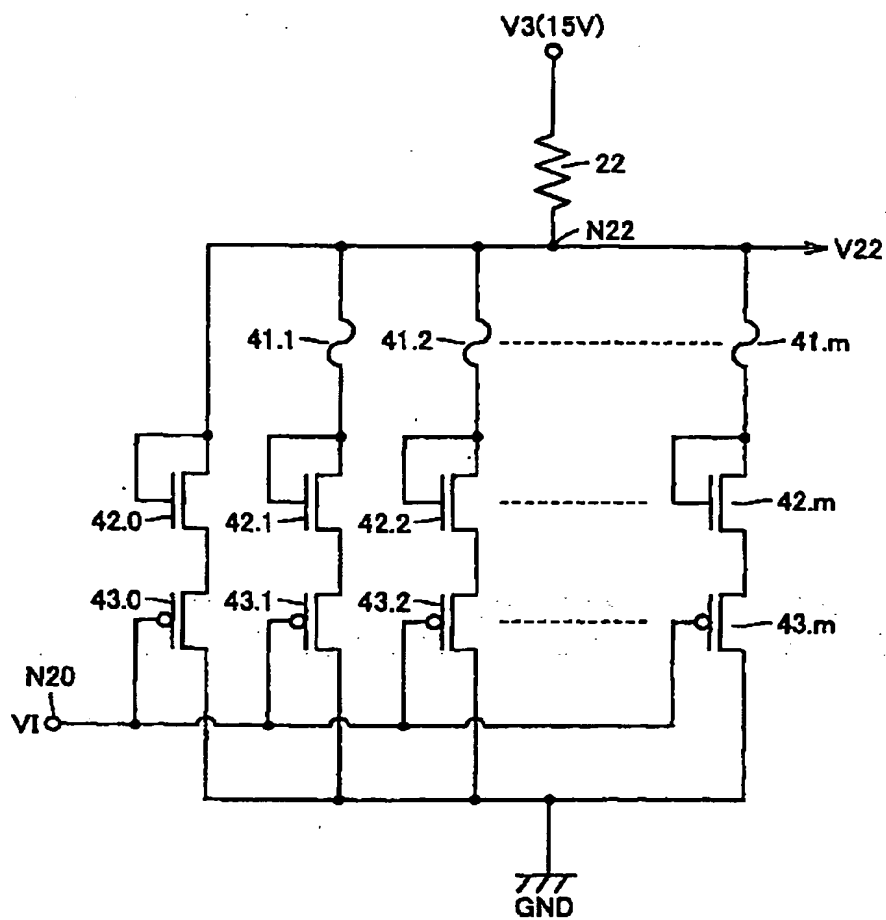


FIG.12

50

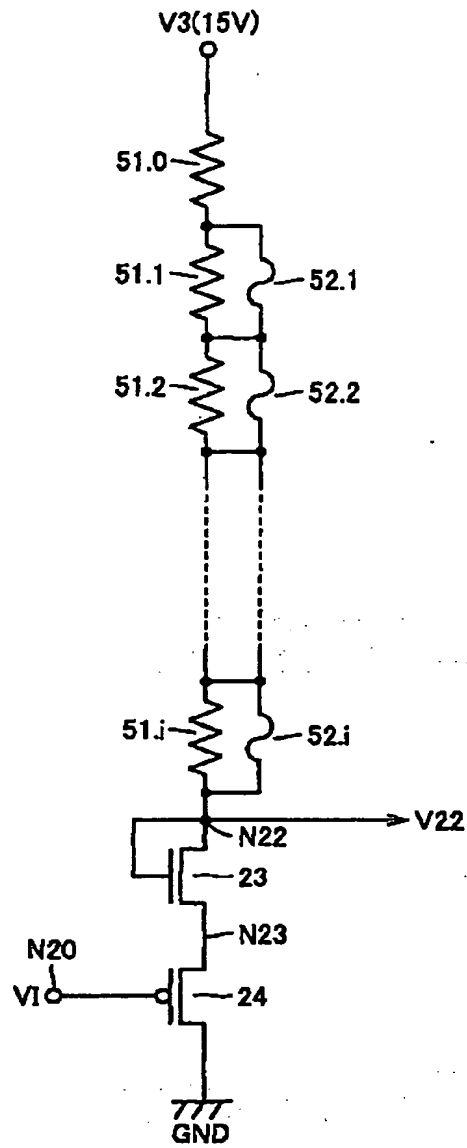


FIG:13

55

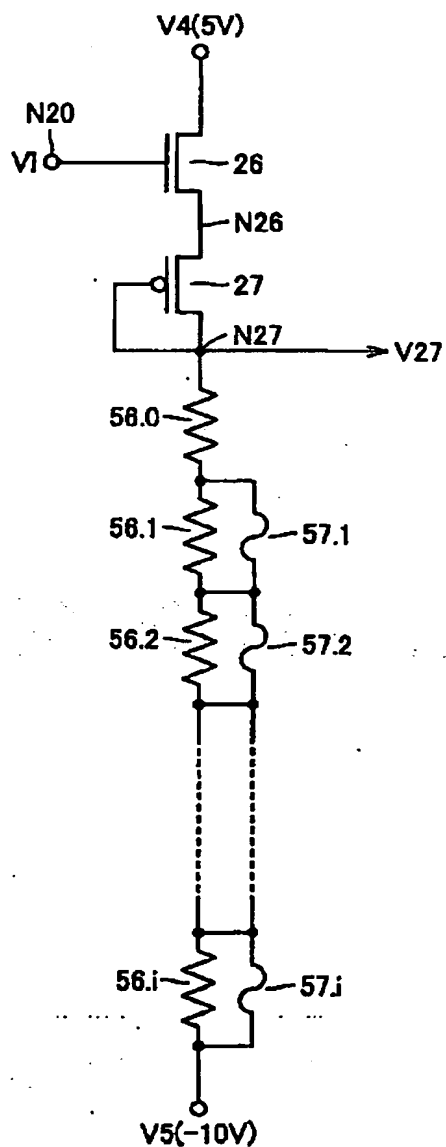


FIG.14

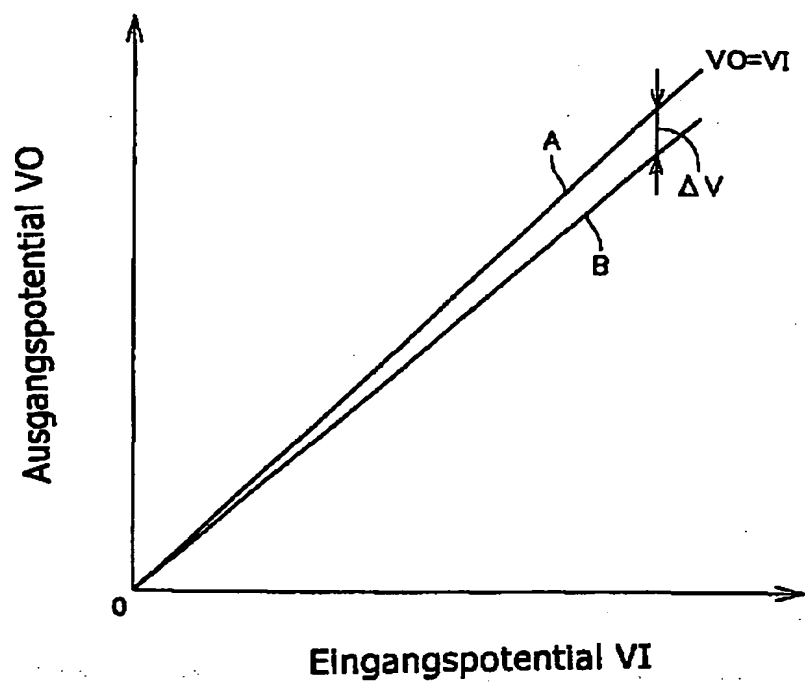


FIG.15

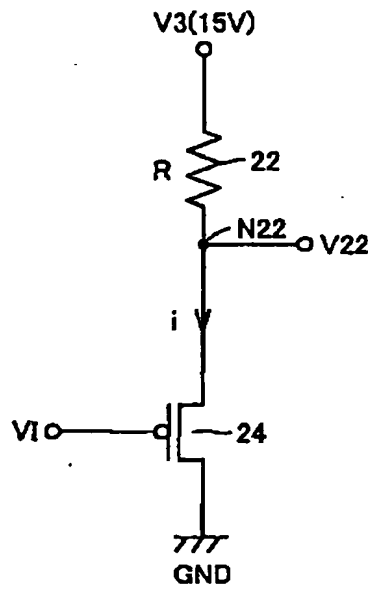


FIG.16

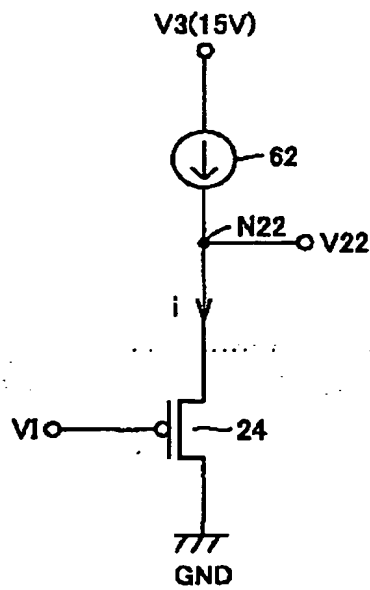


FIG.17

60

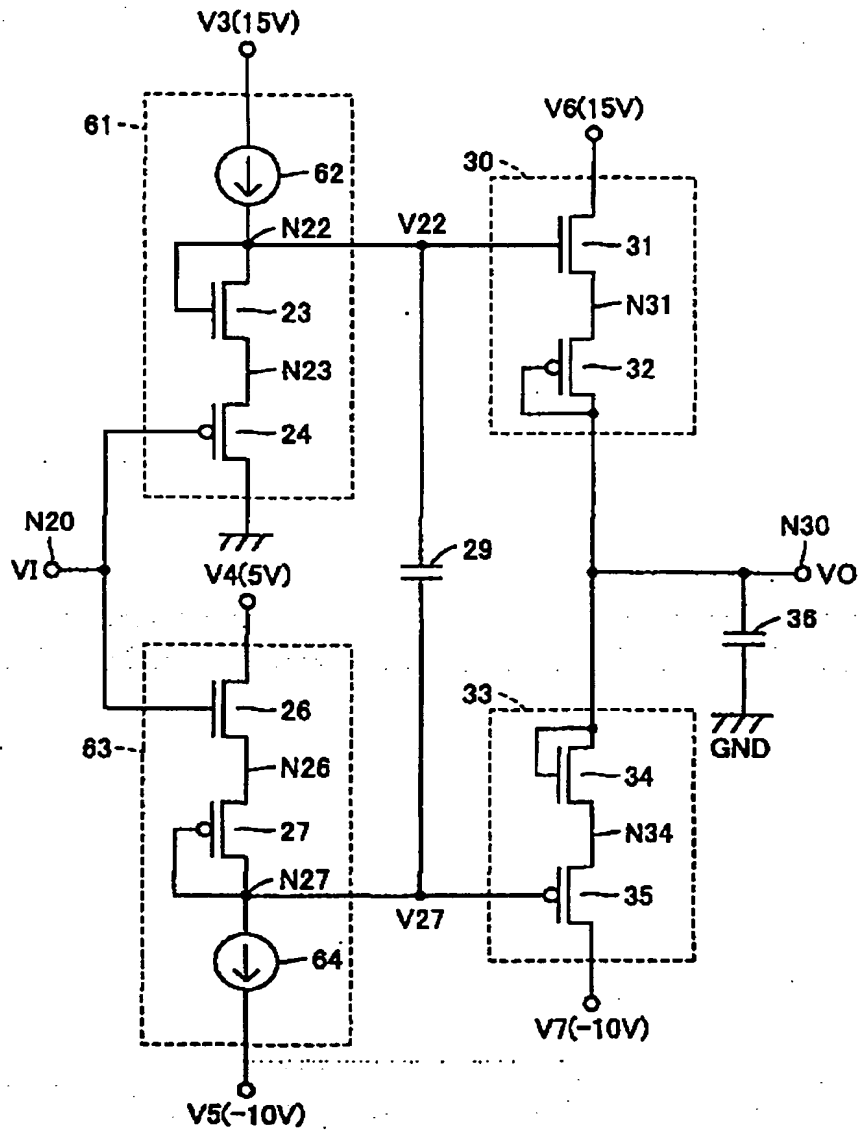


FIG.18

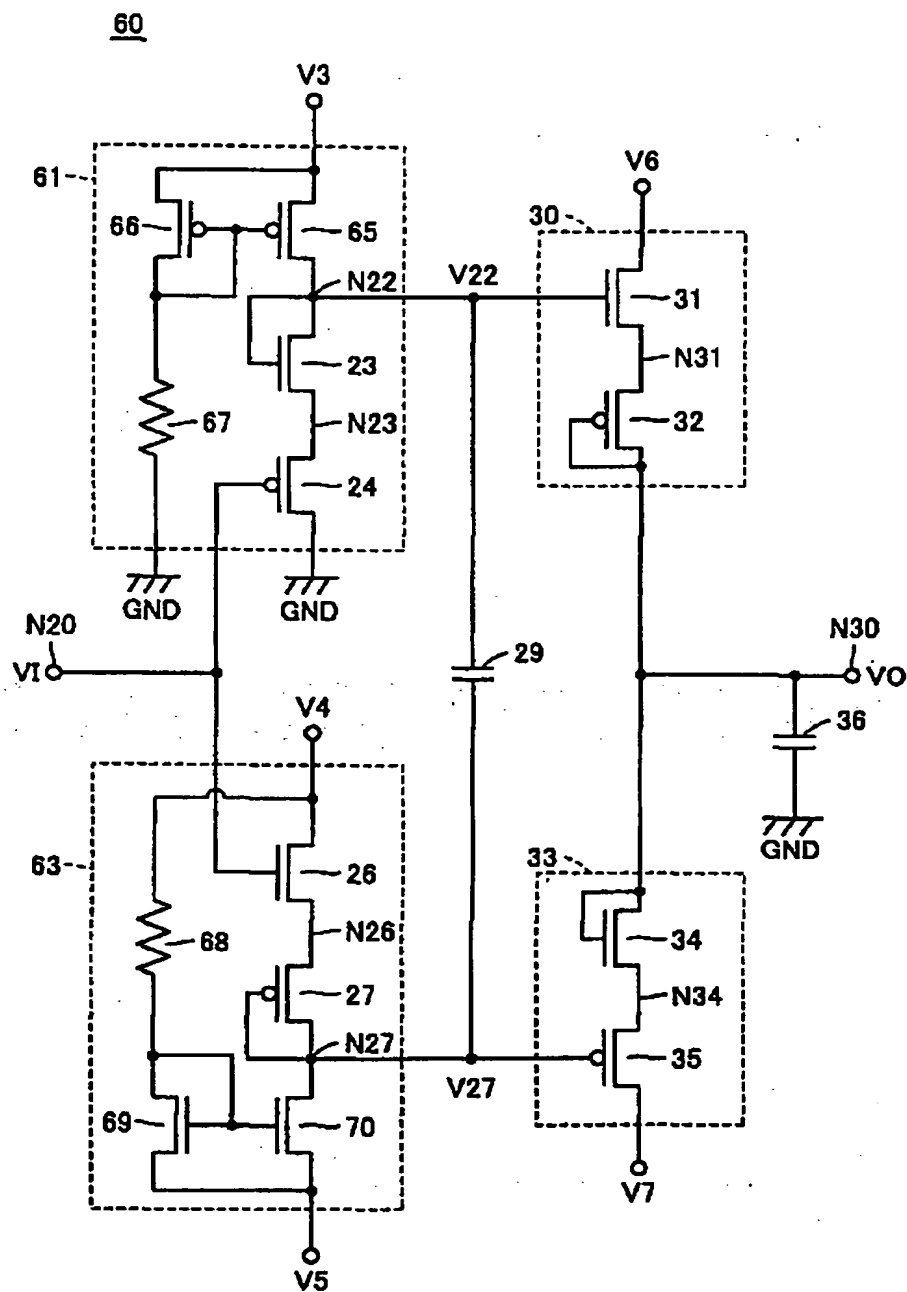


FIG.19

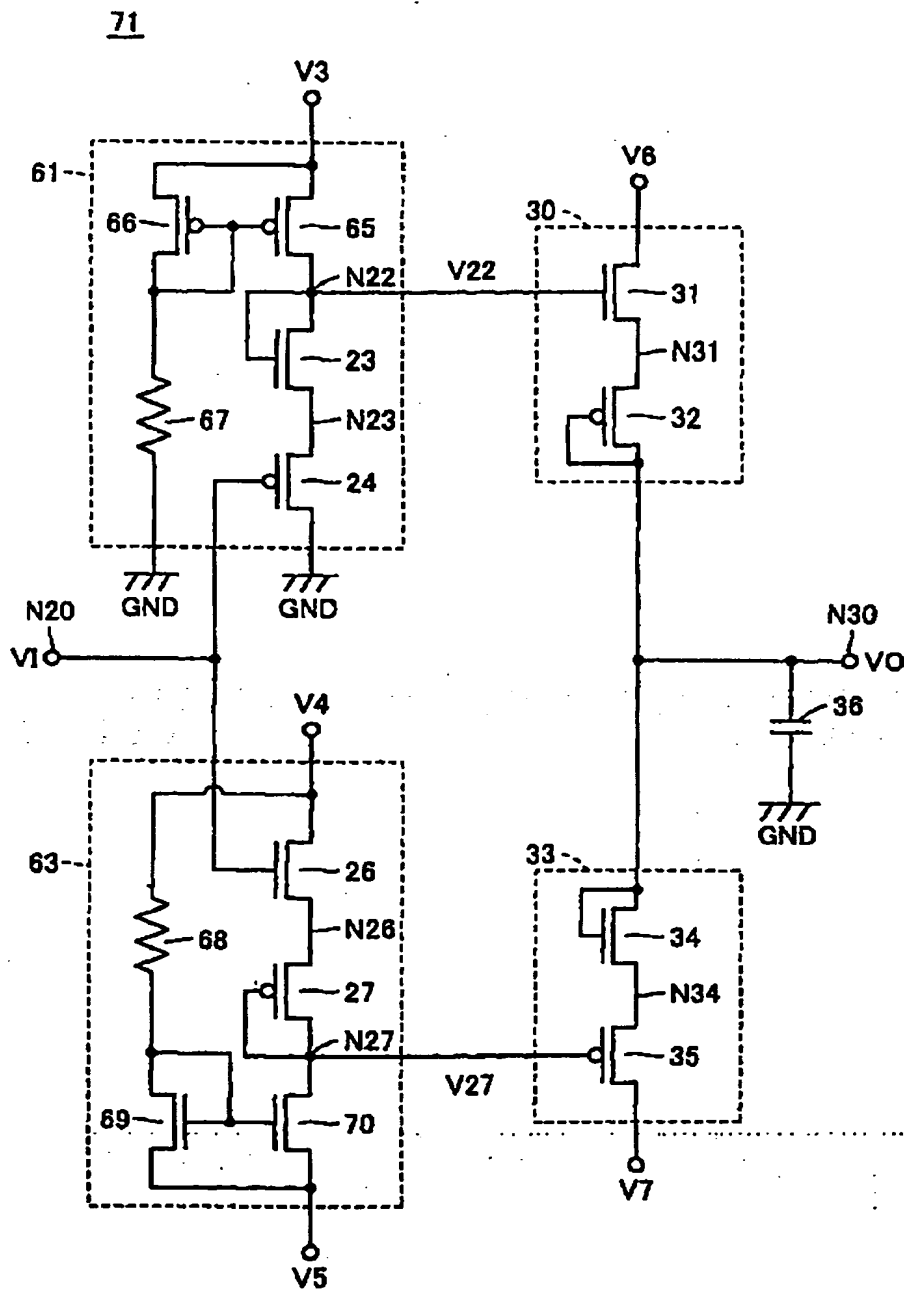


FIG.20

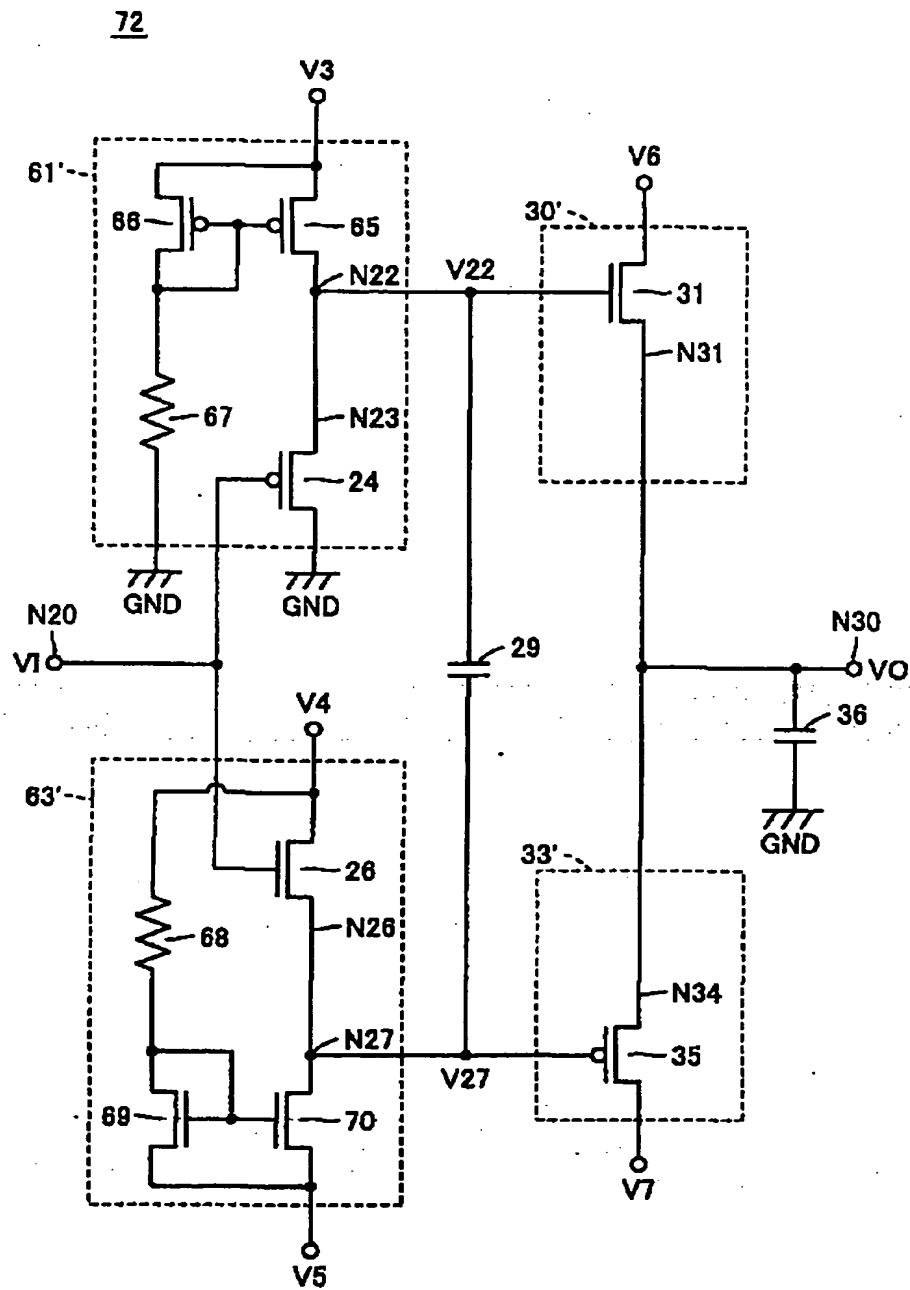


FIG.21

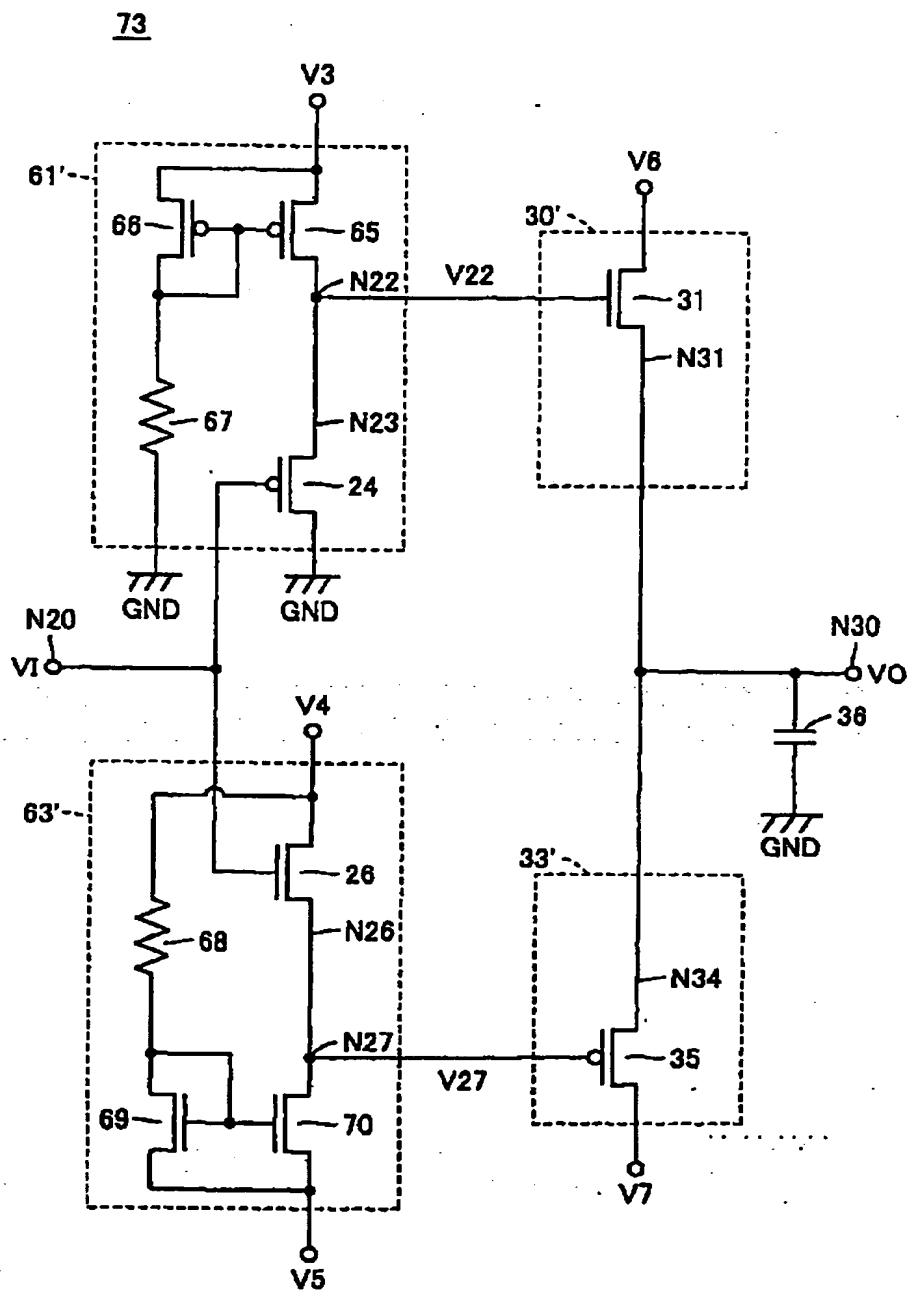
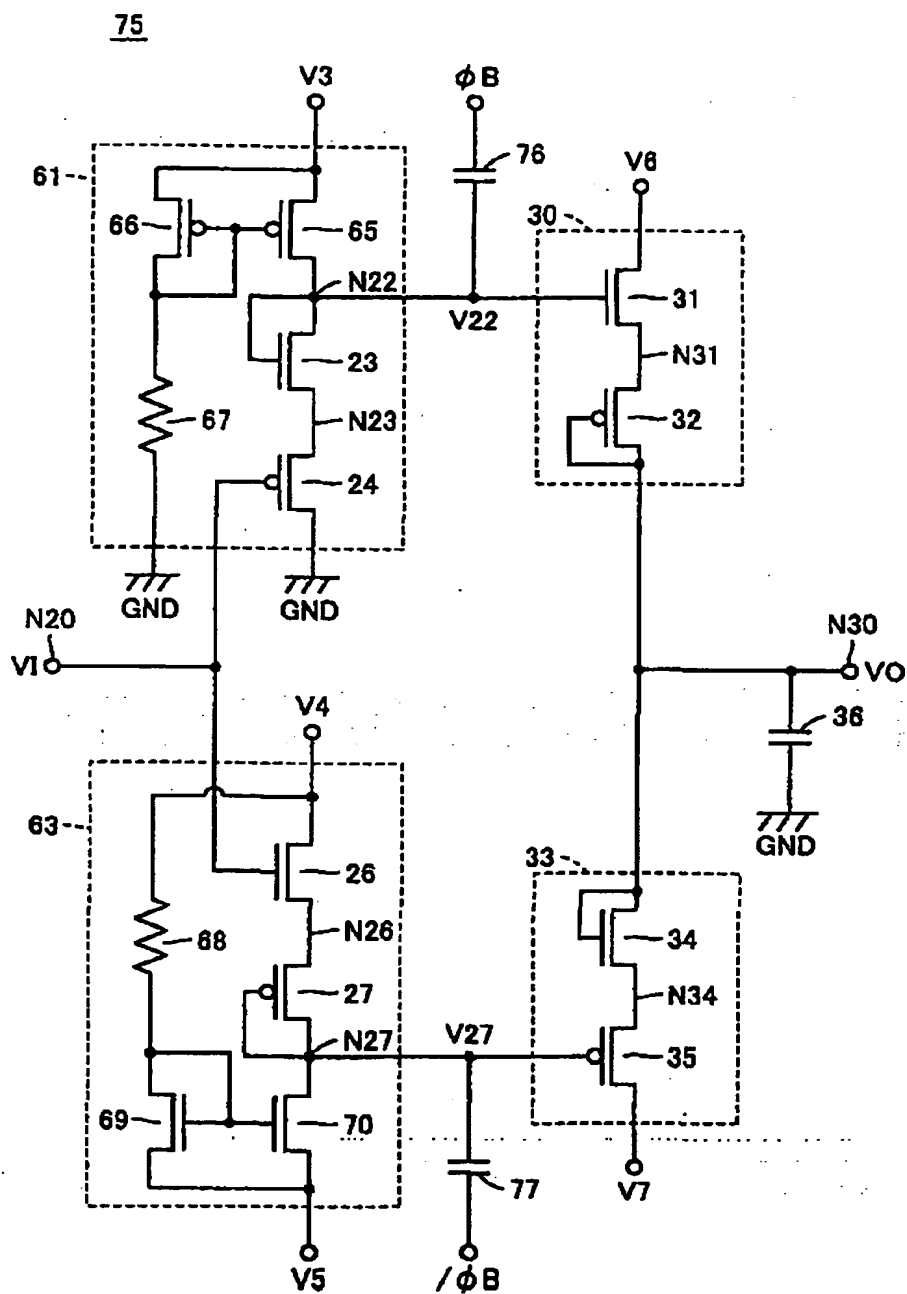


FIG.22



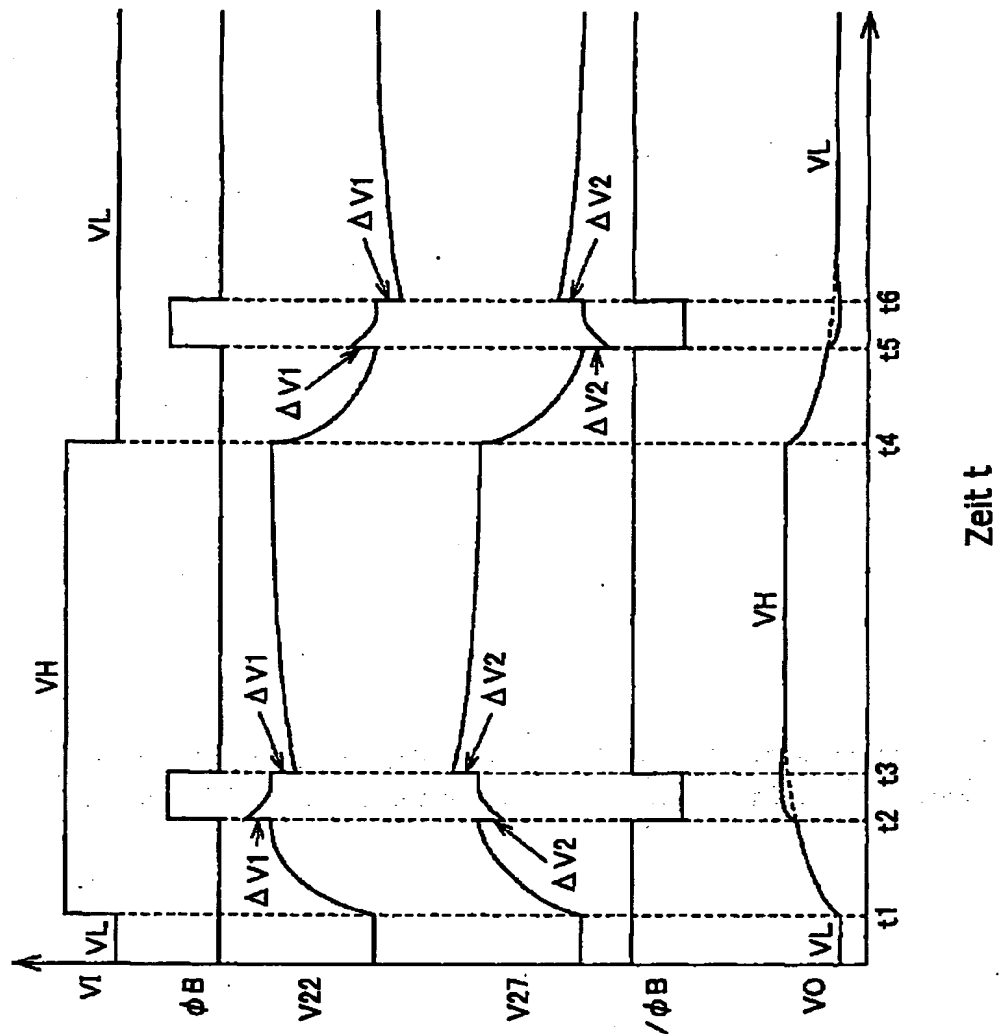


FIG.23

FIG.25

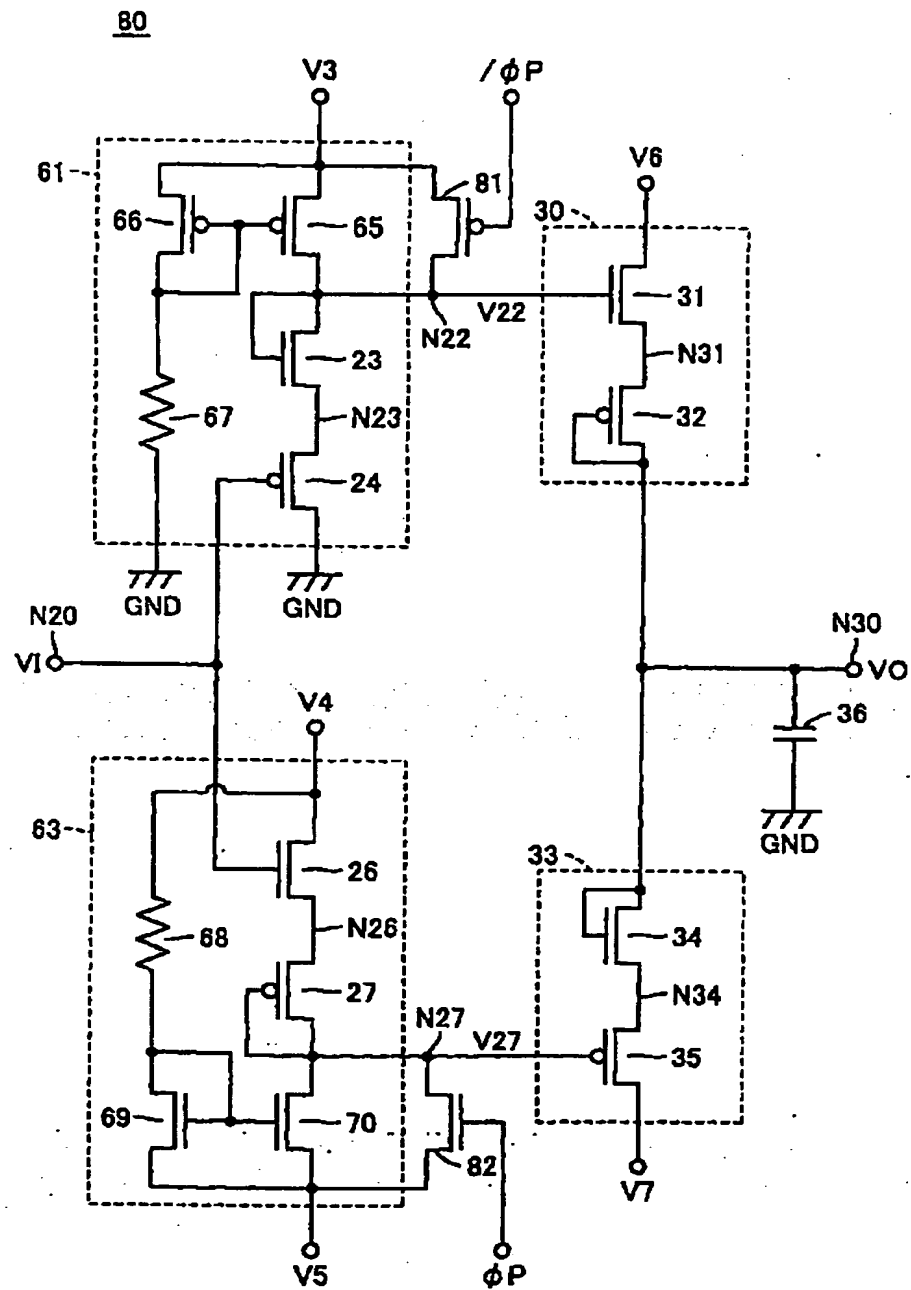


FIG.26

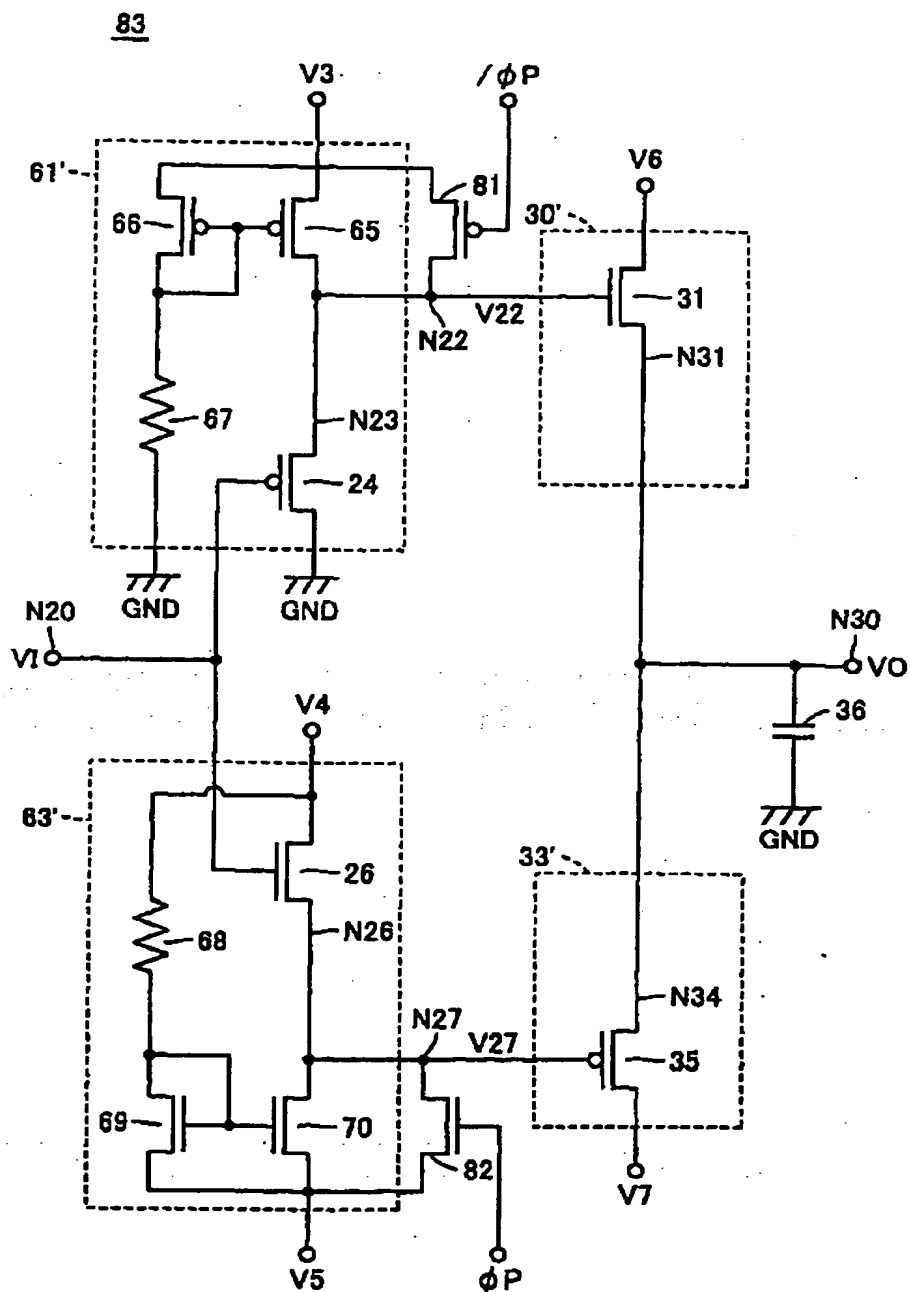


FIG.28

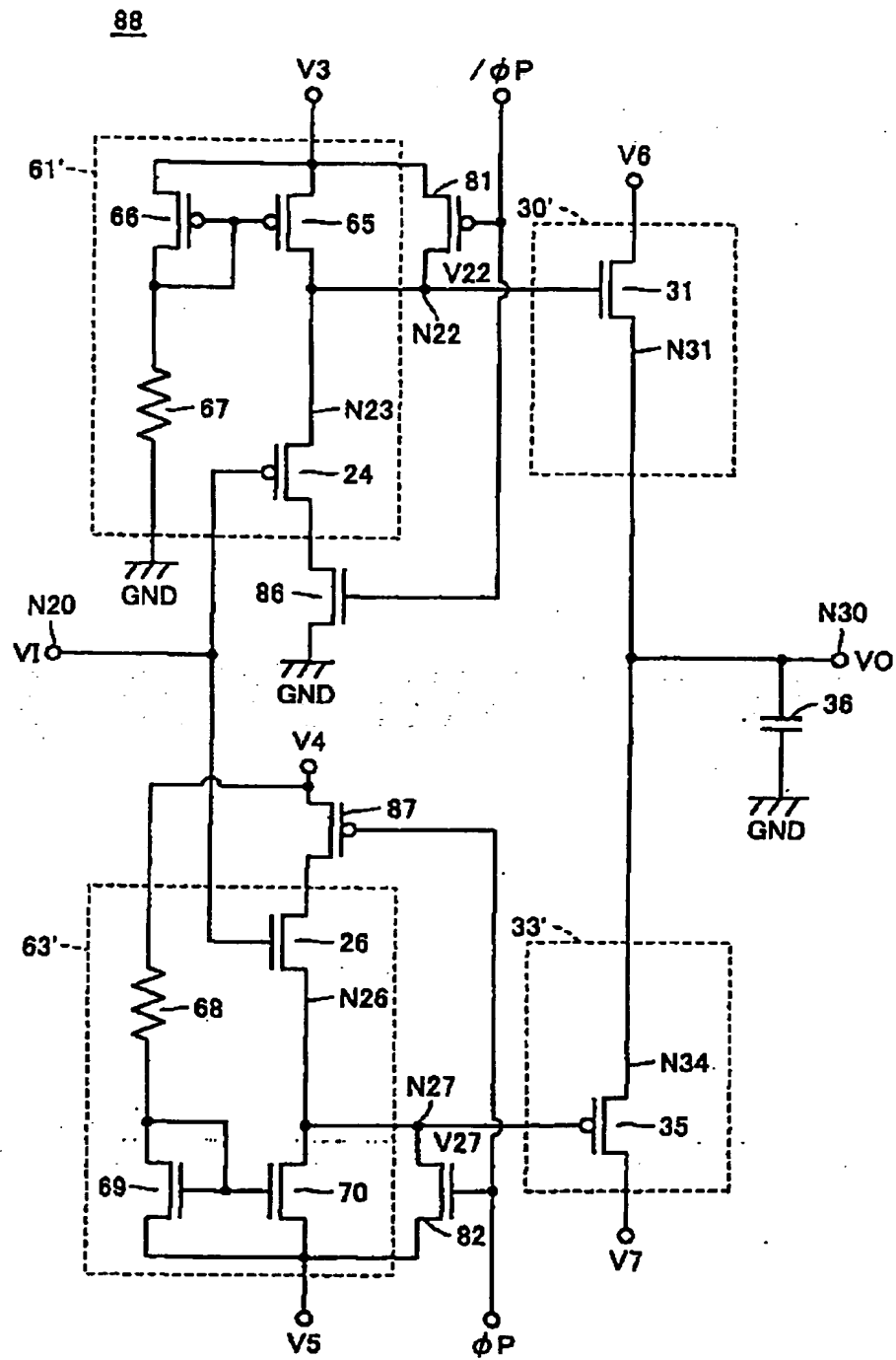


FIG.29

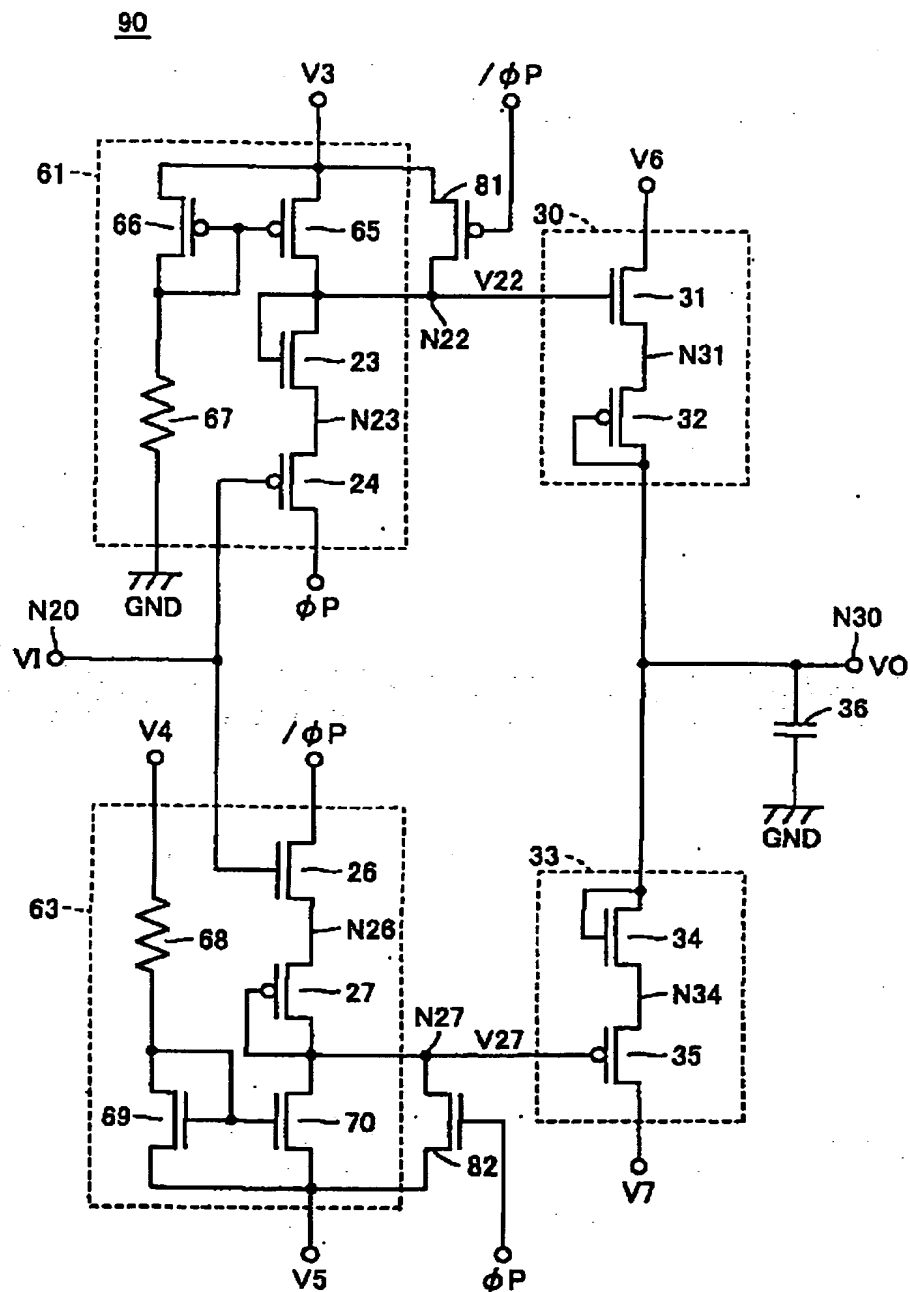


FIG.30

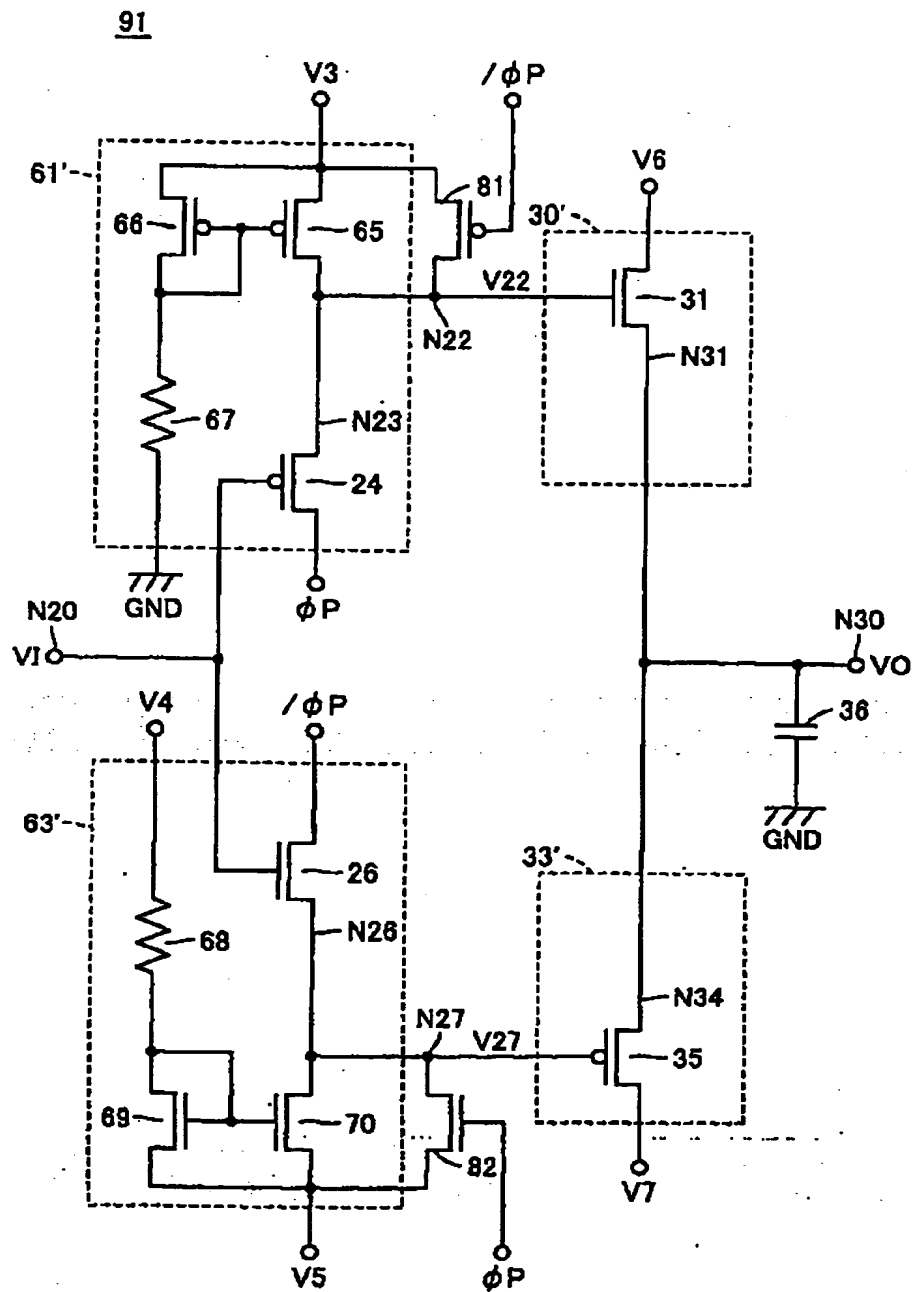


FIG.31

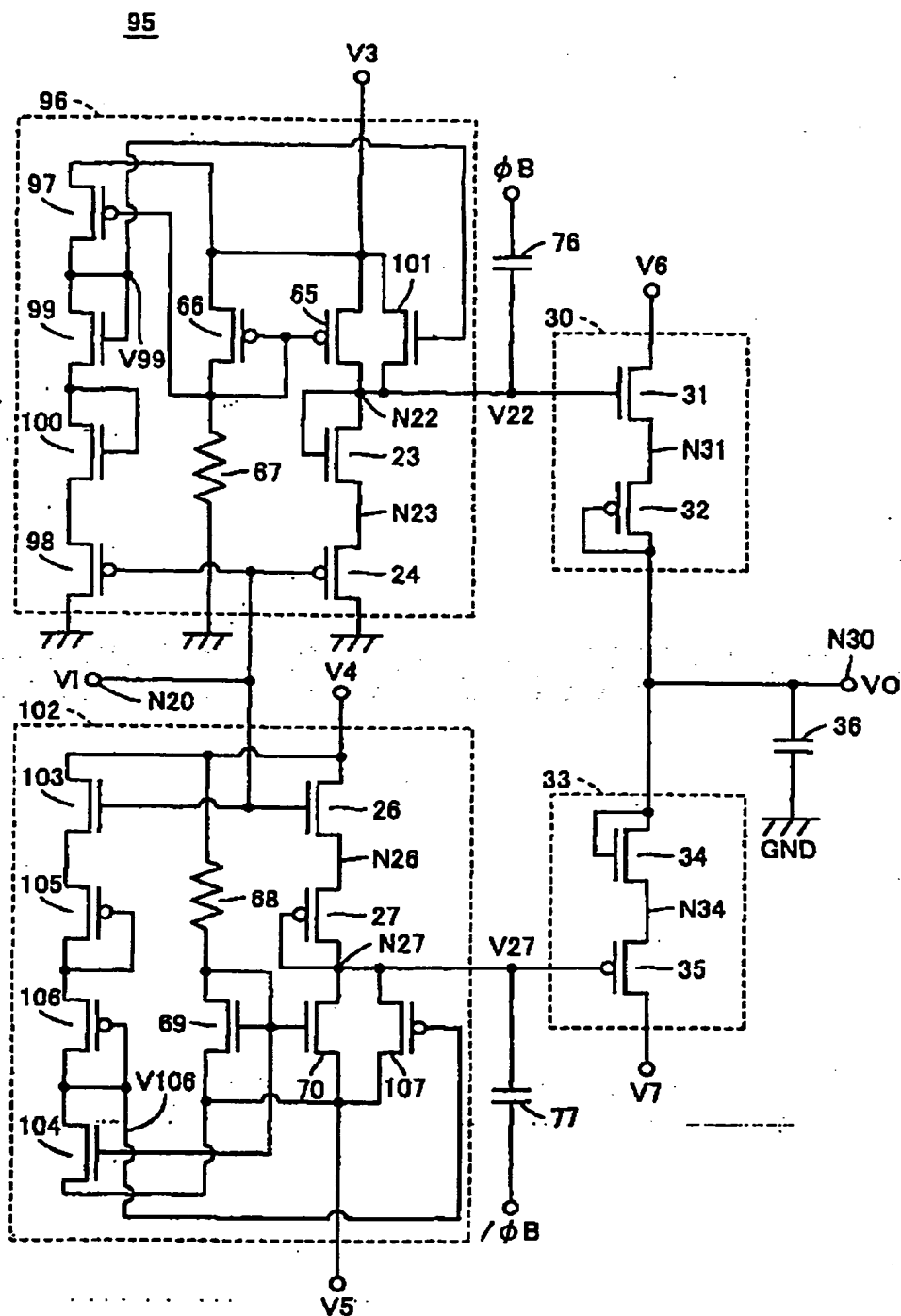


FIG.32

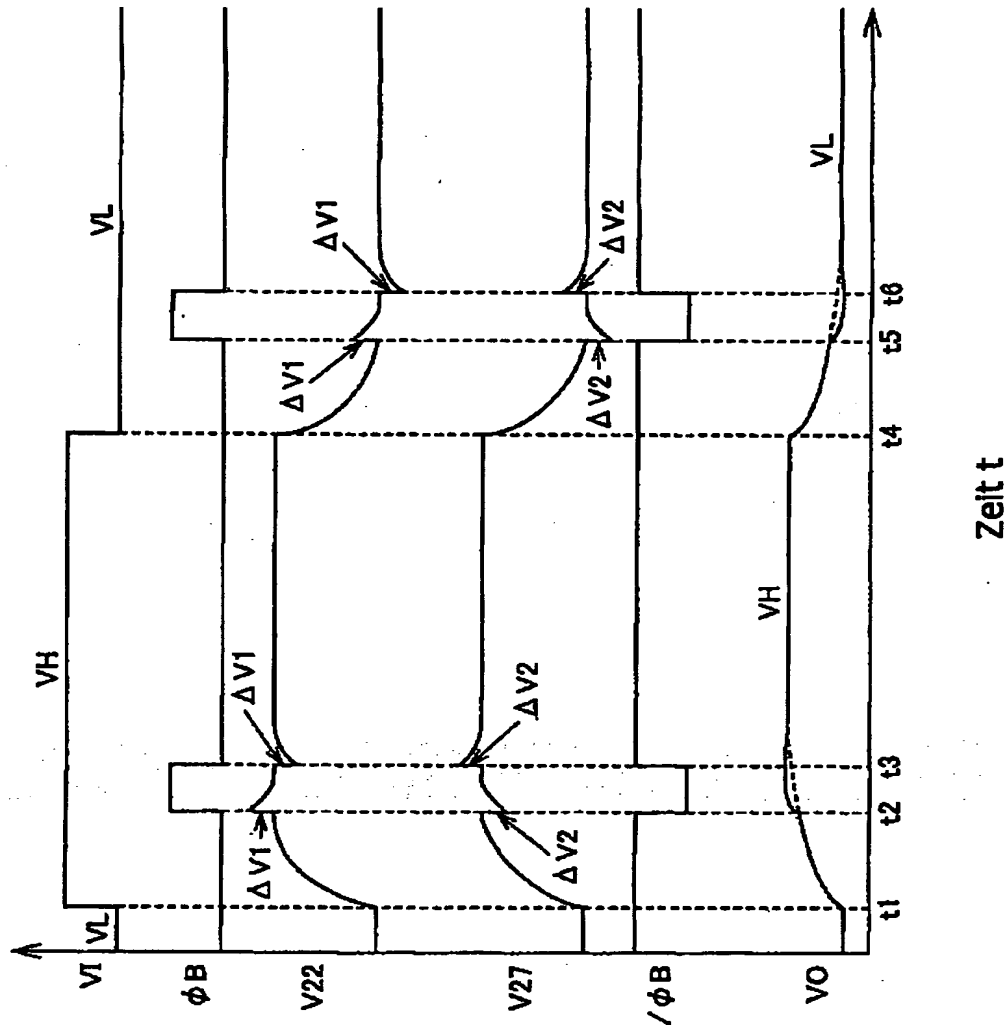


FIG.33

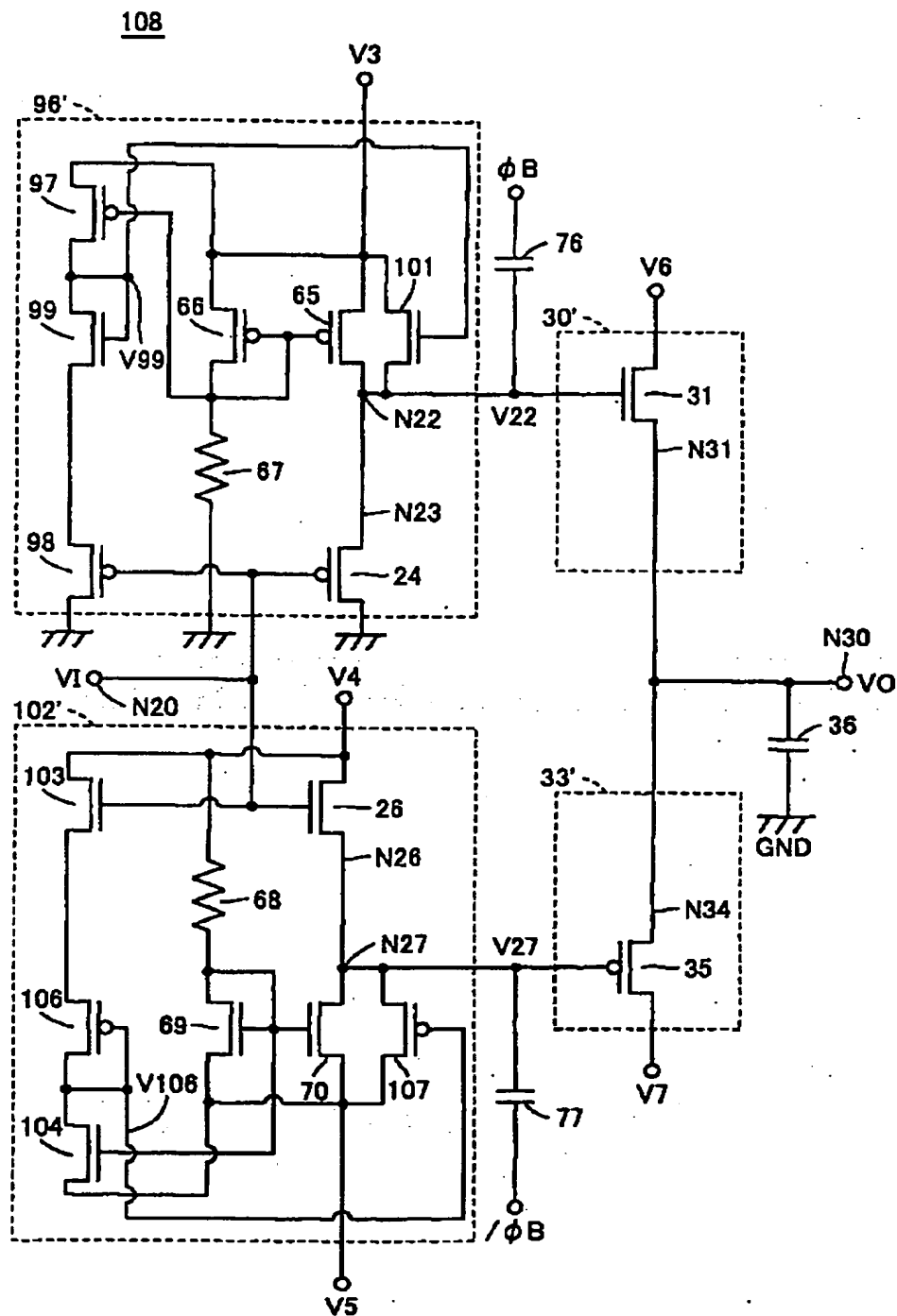


FIG.35

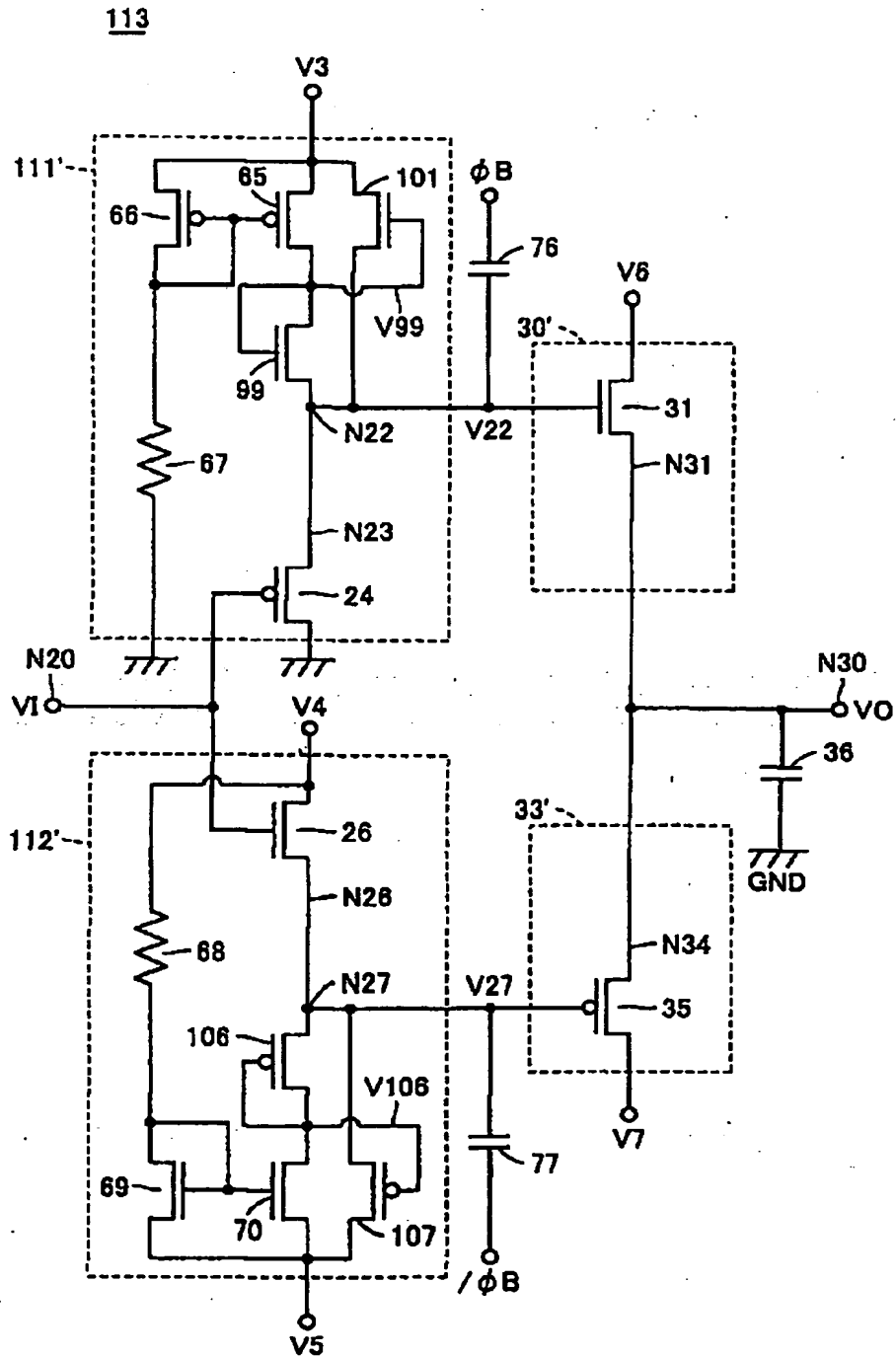


FIG.36

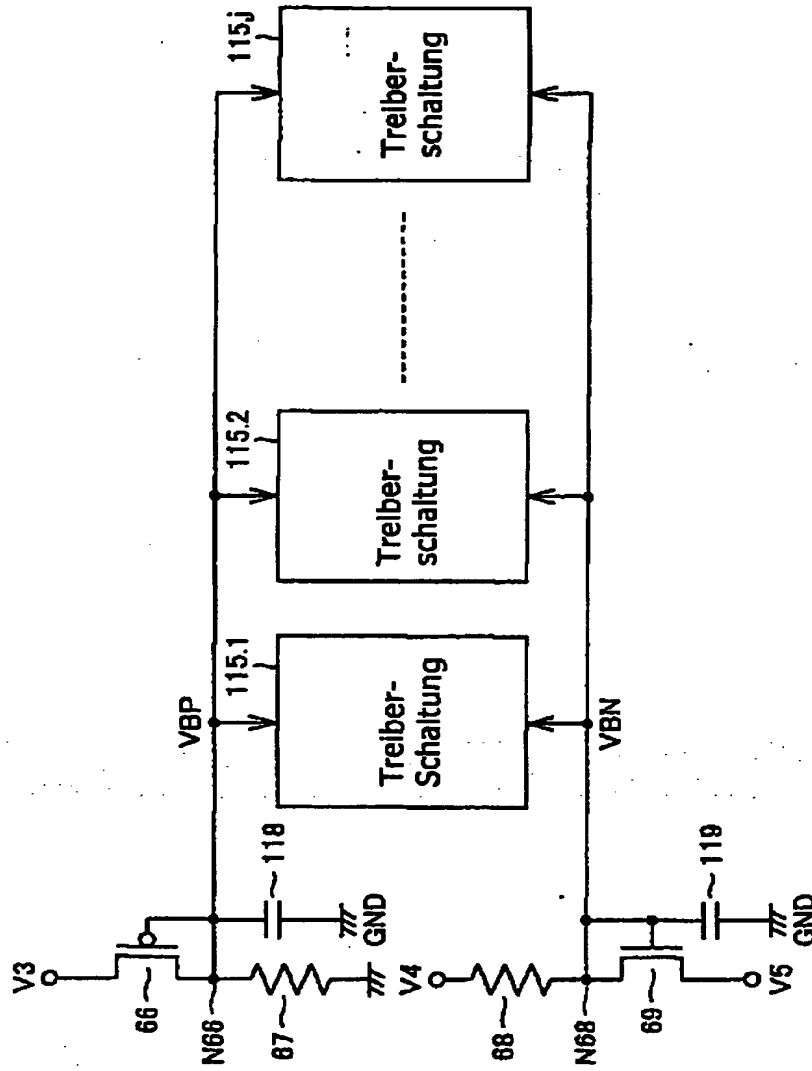


FIG.37

115.1

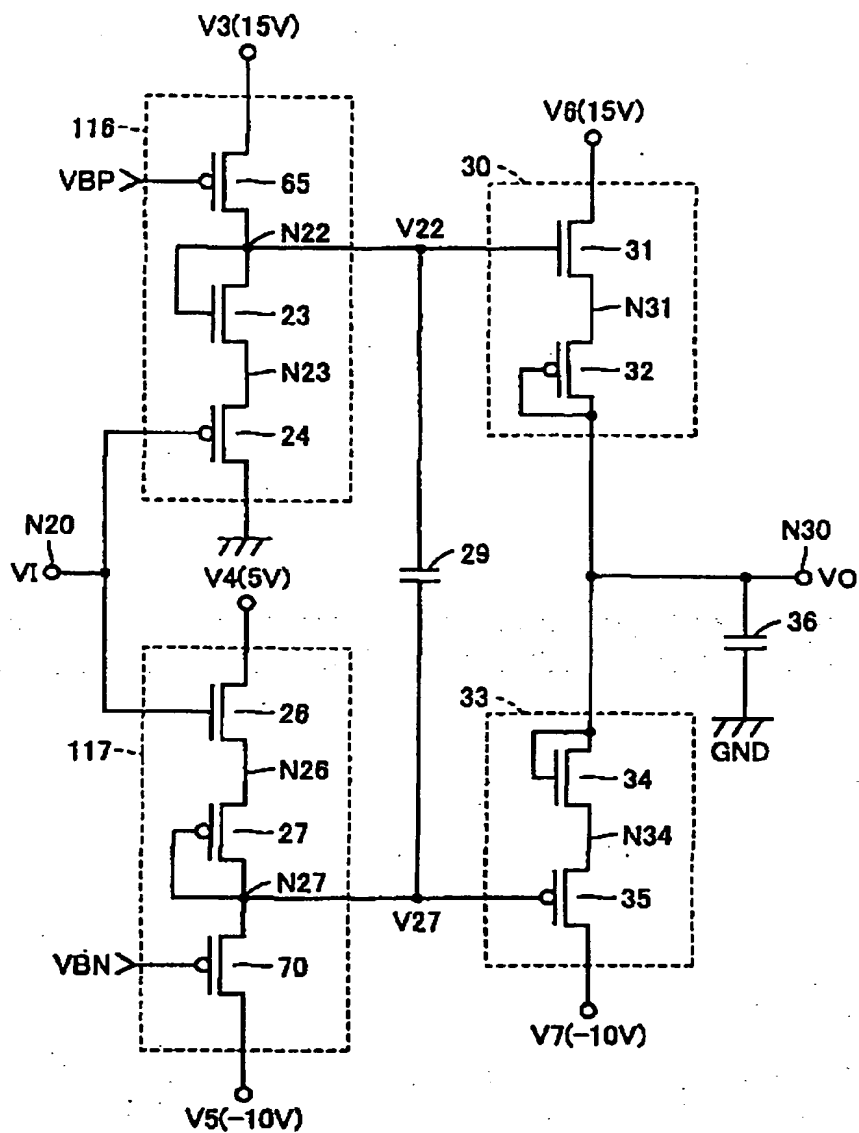


FIG.38

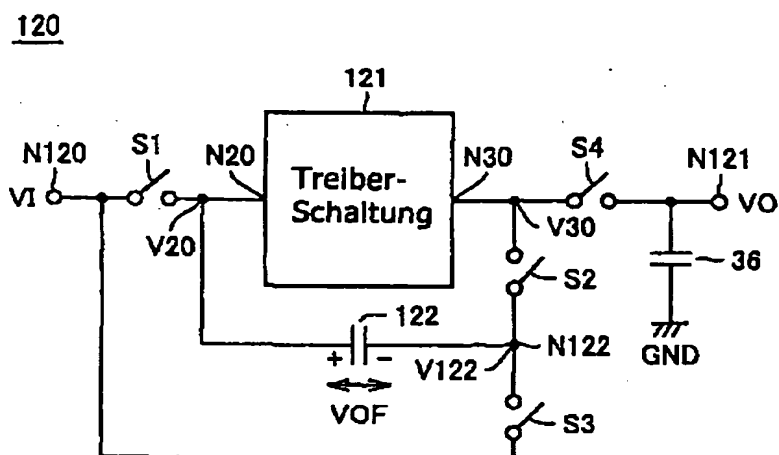


FIG.39

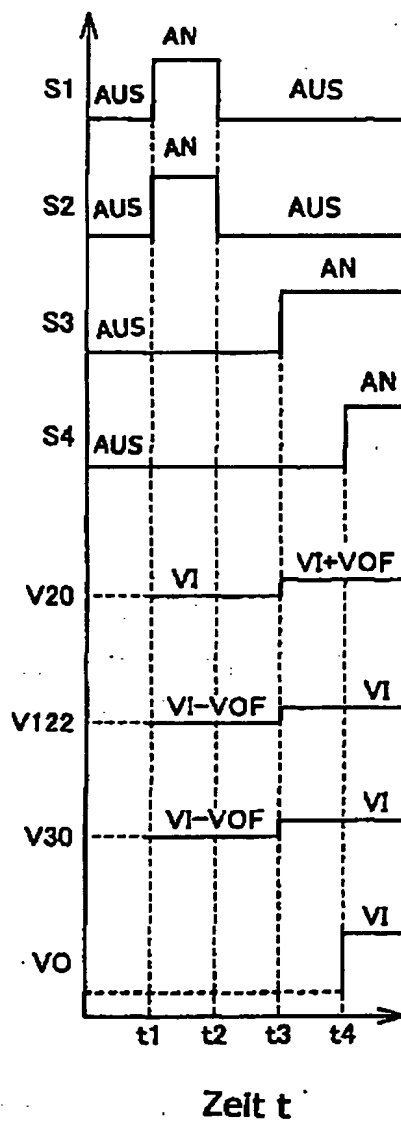


FIG.41

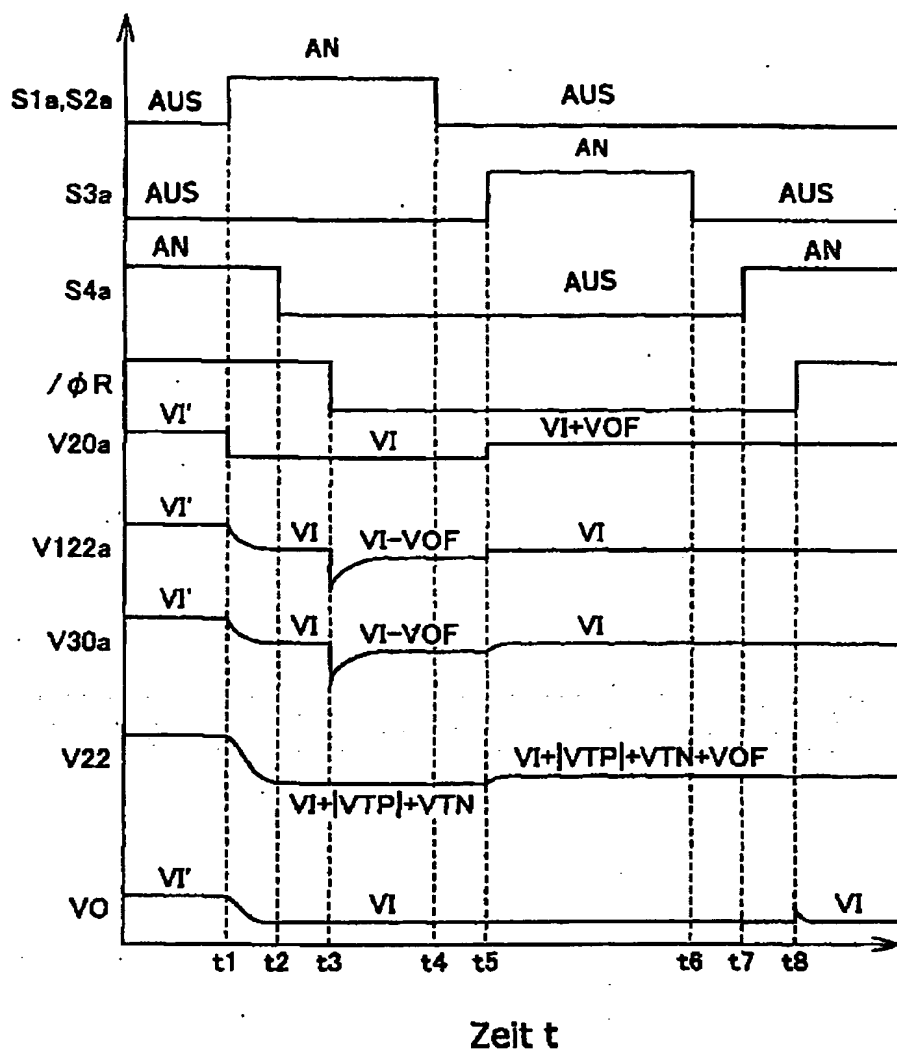


FIG.42

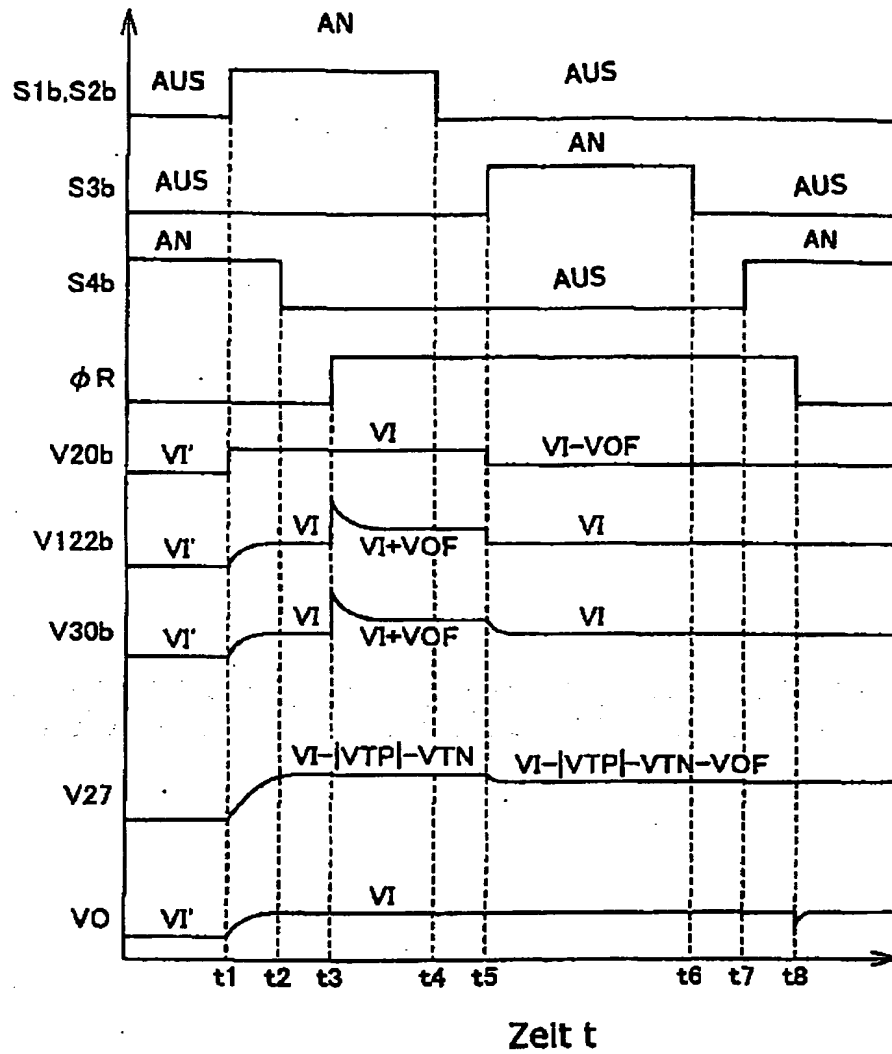


FIG.43

127

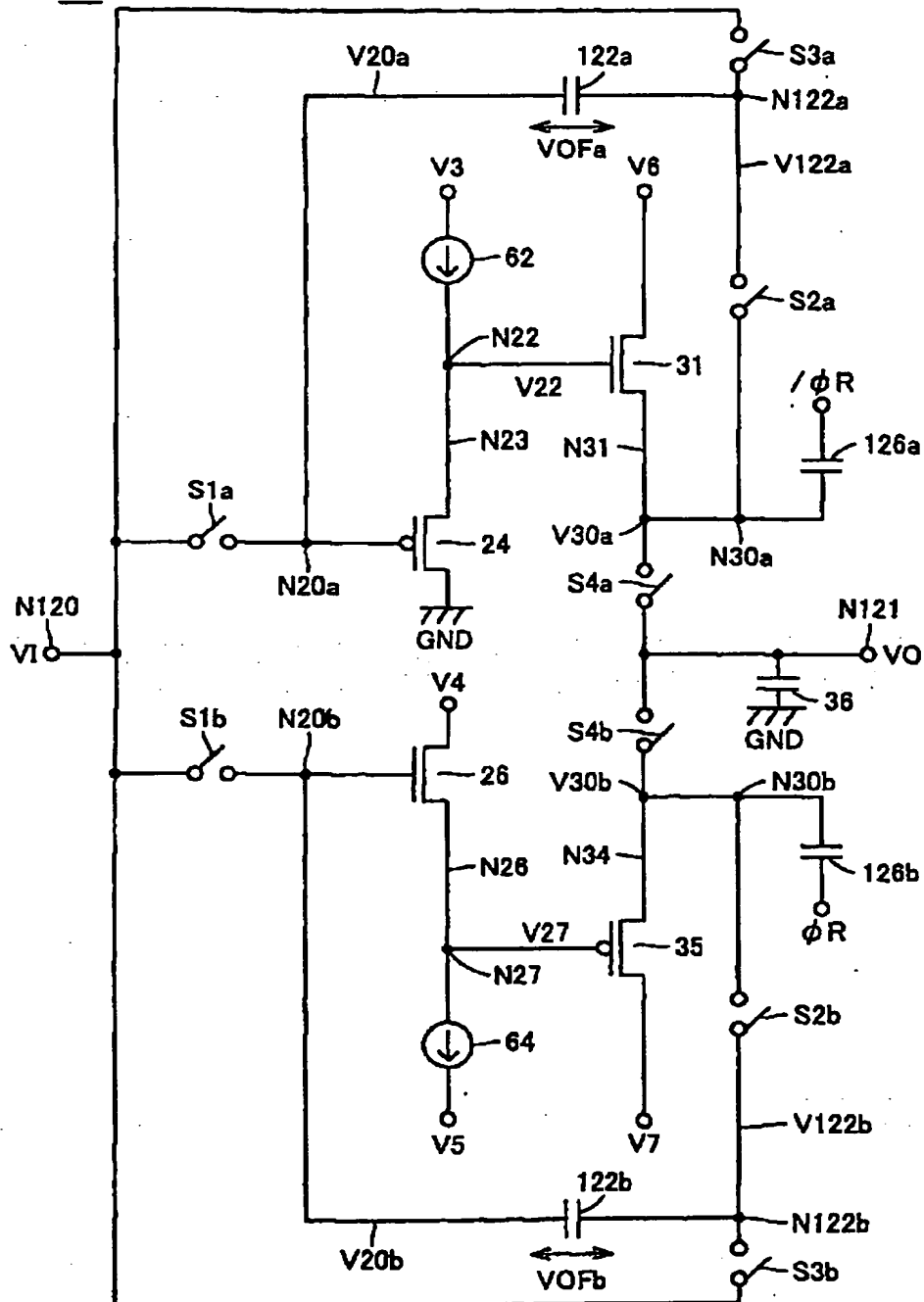


FIG.44

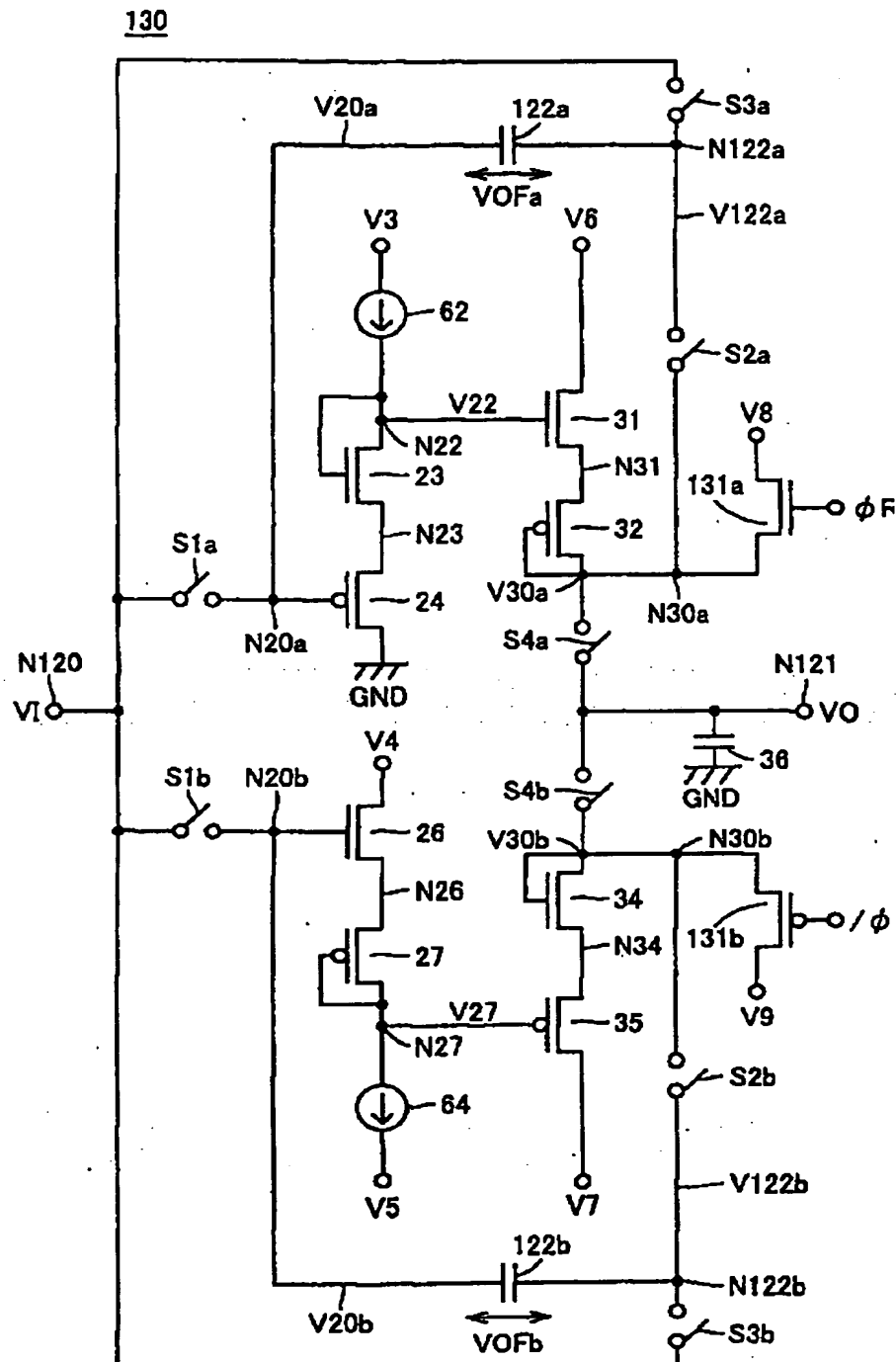


FIG.45

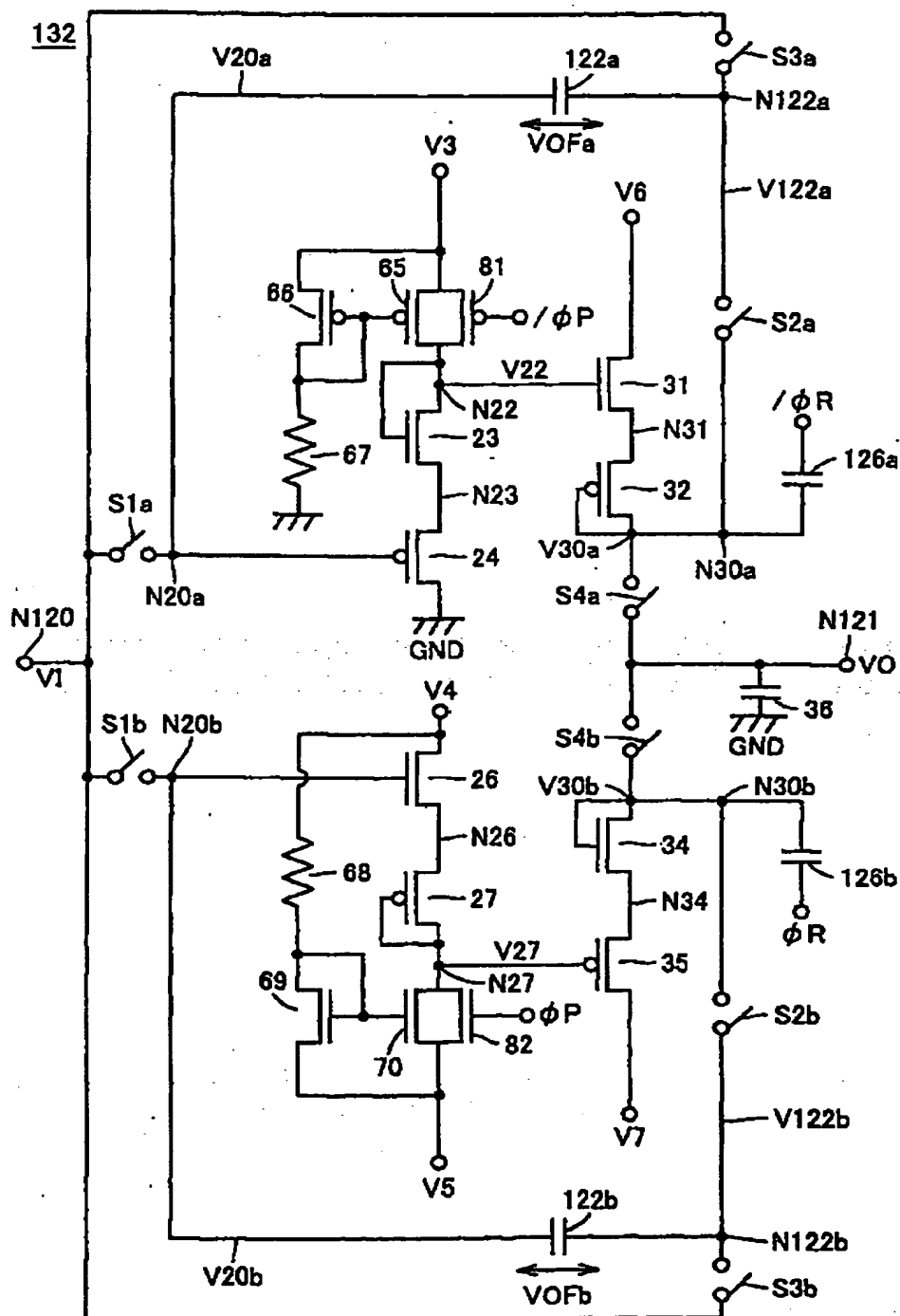


FIG.47

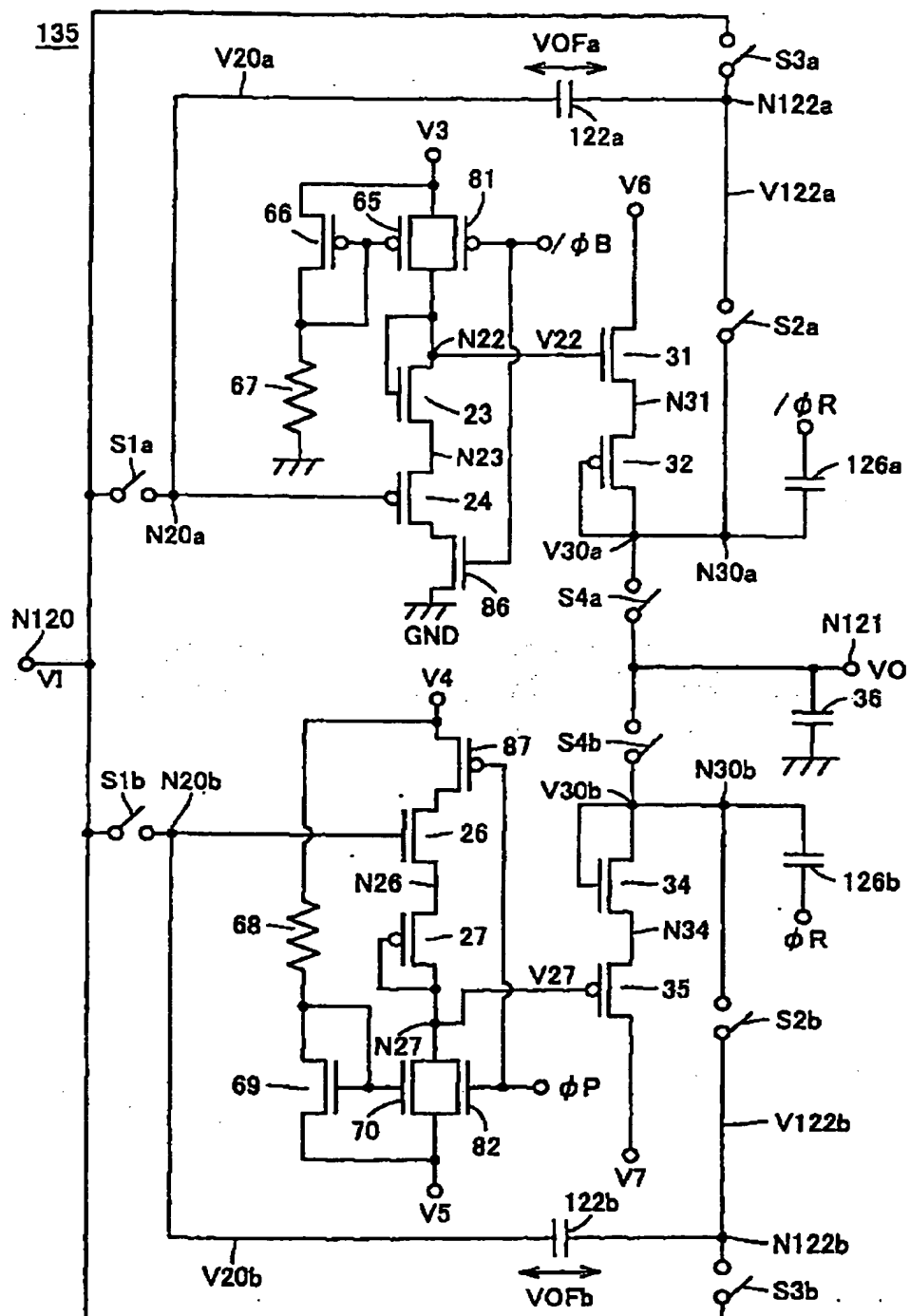


FIG.48

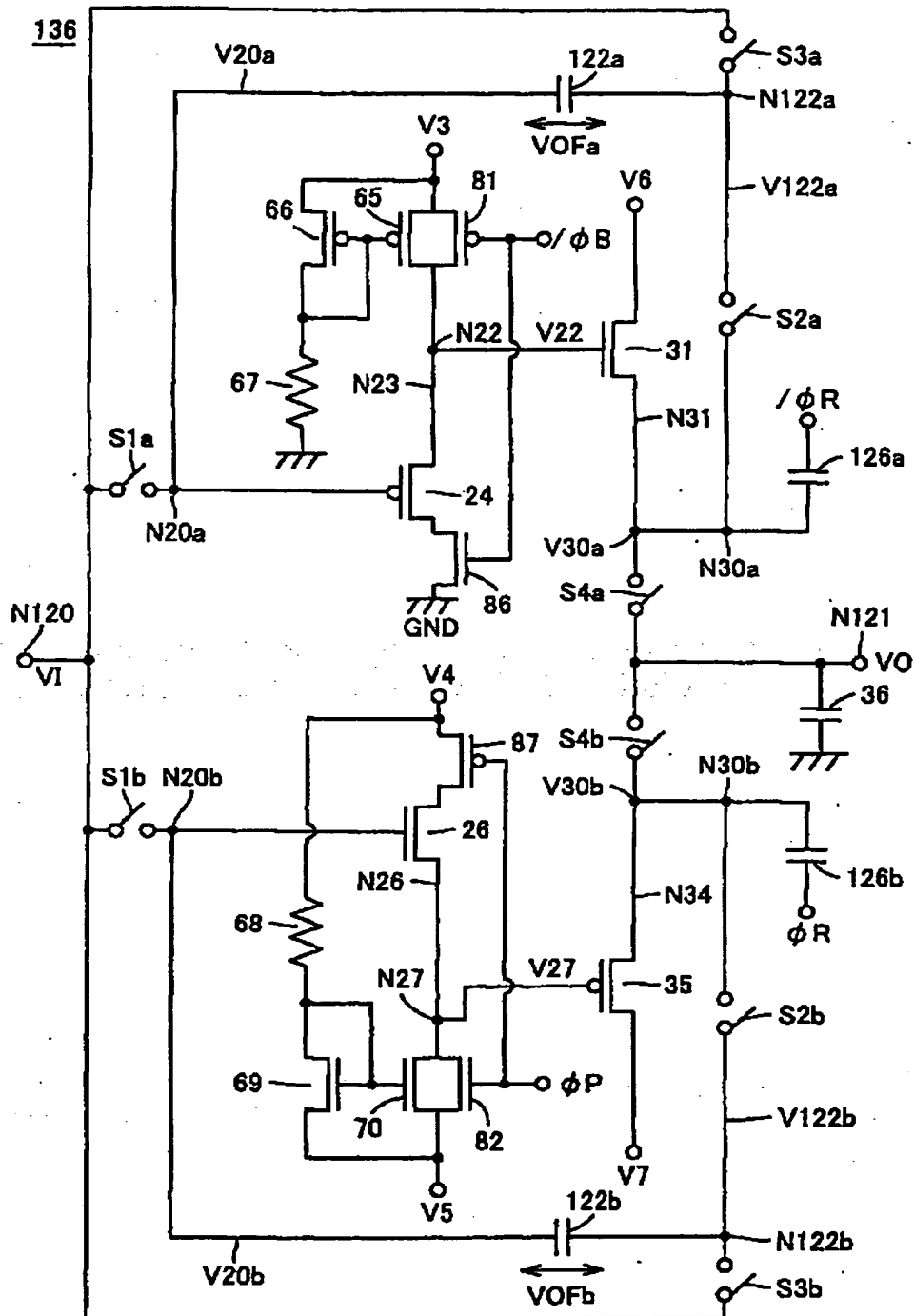


FIG.49

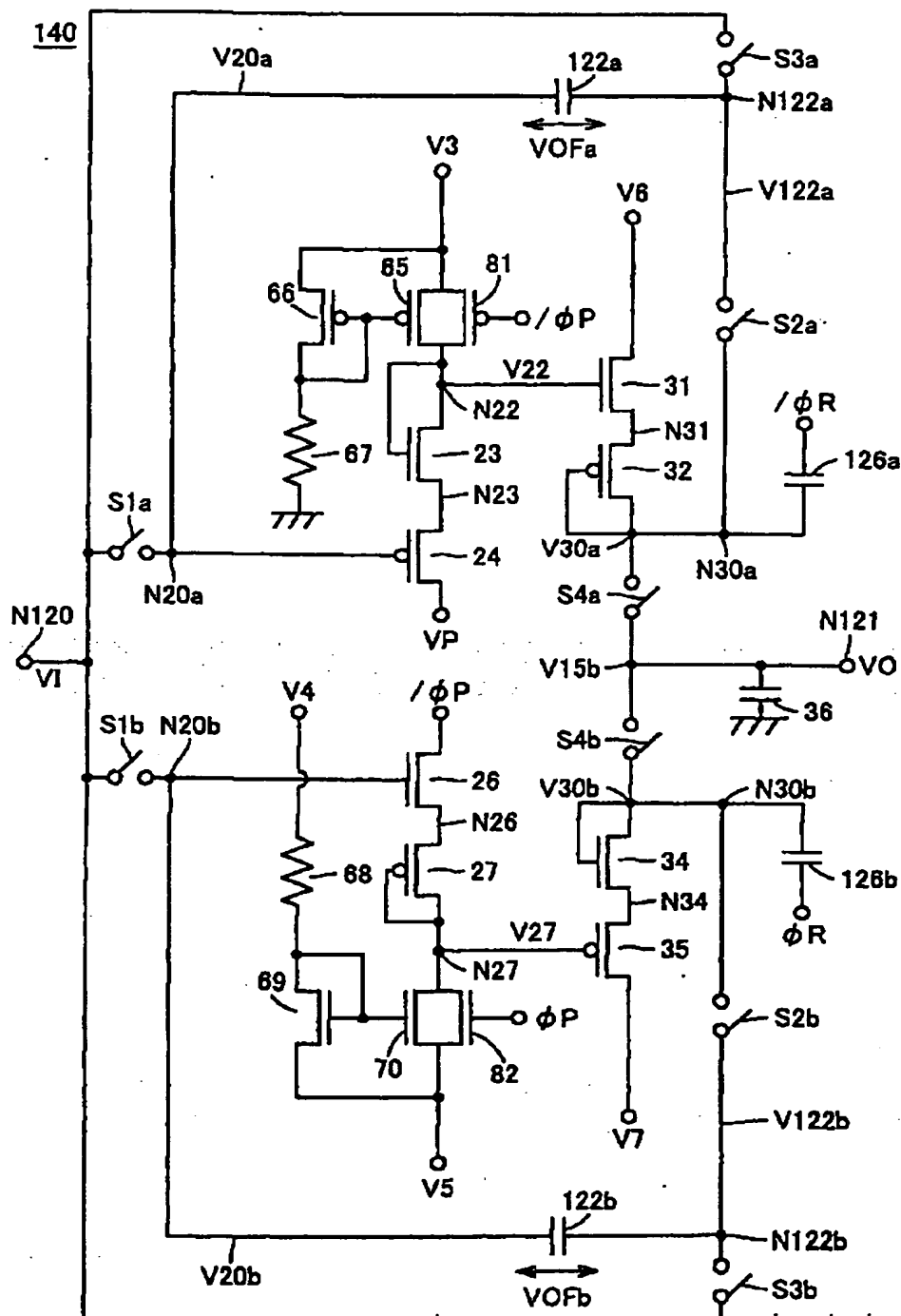


FIG.50

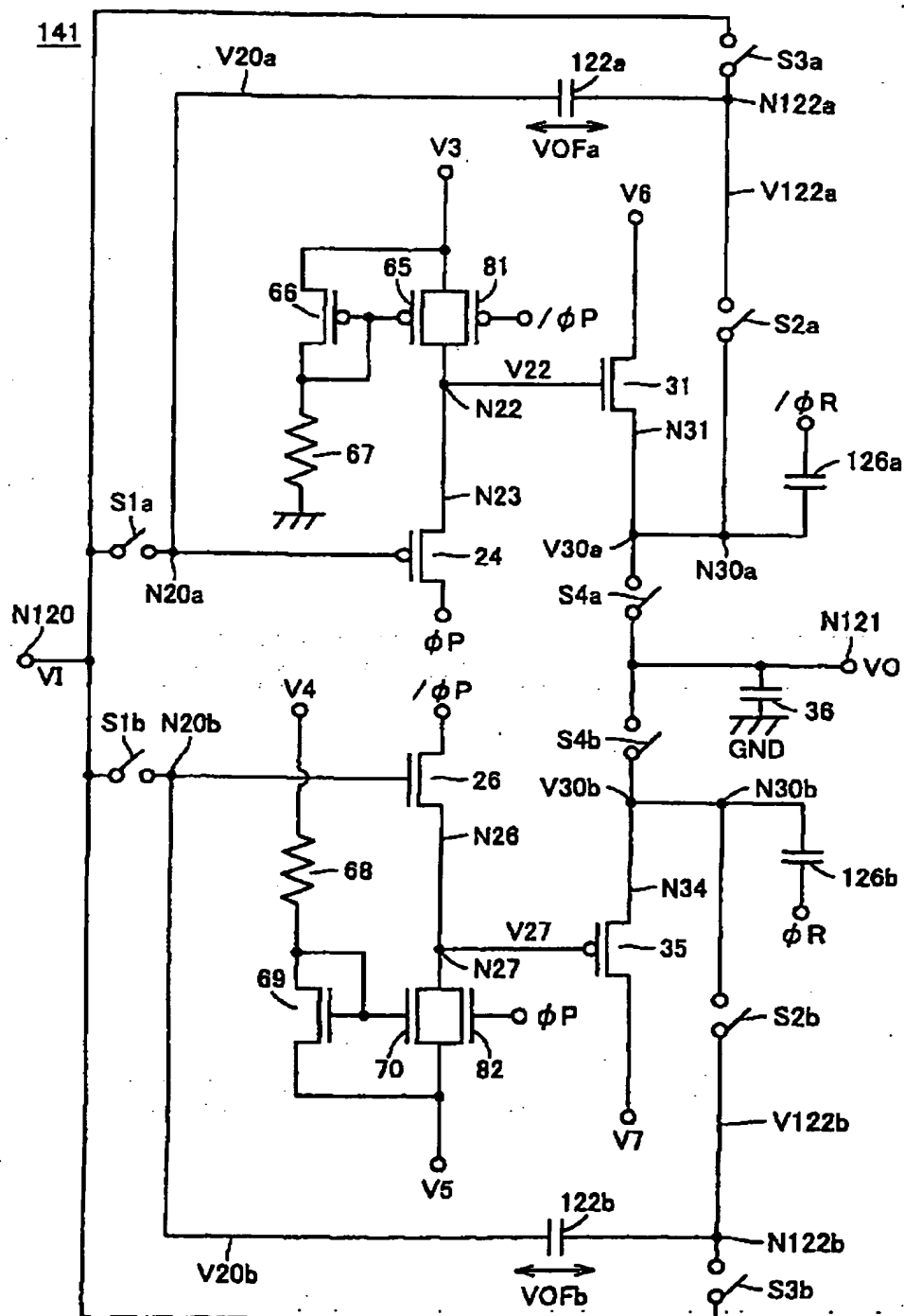


FIG.51

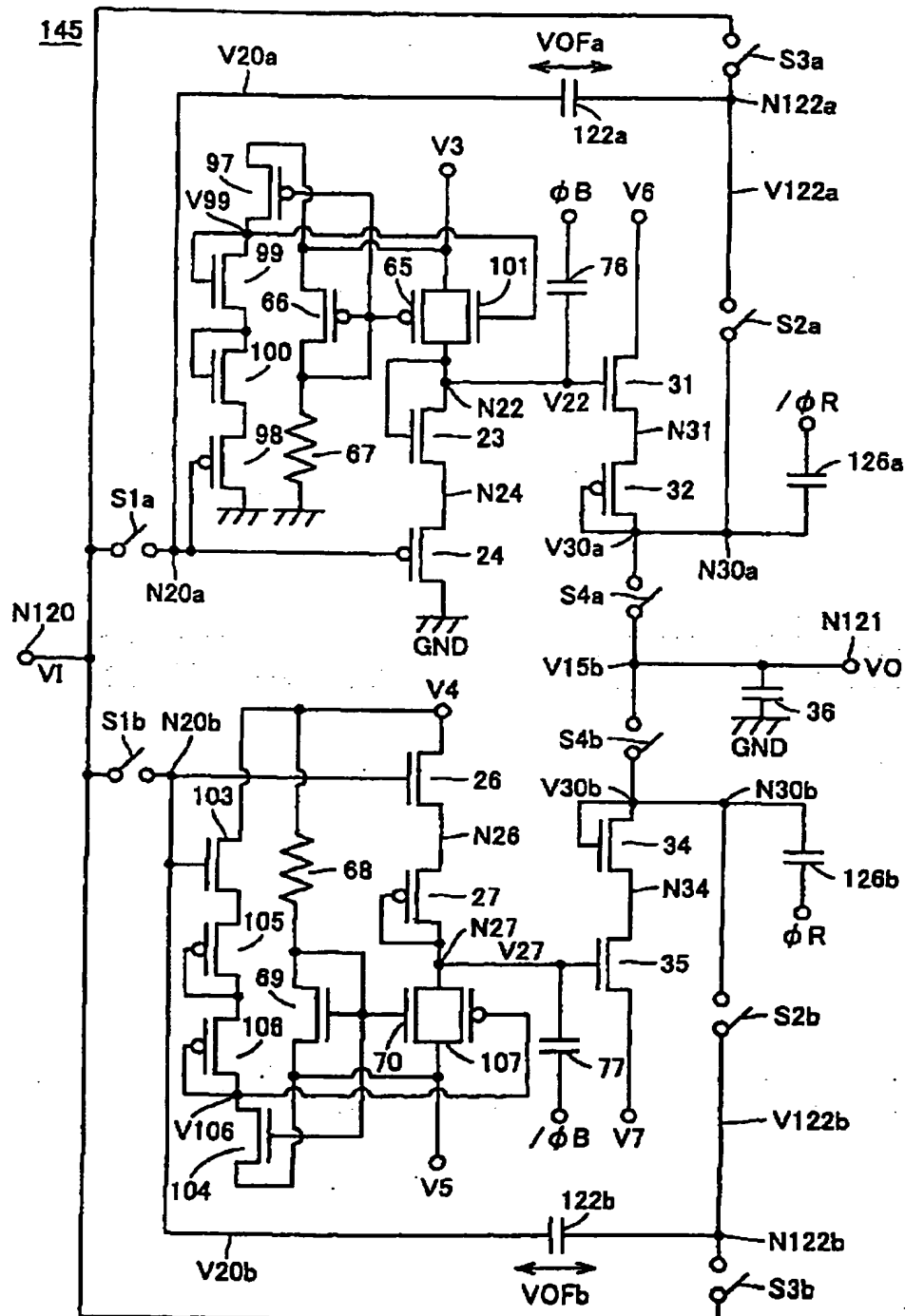


FIG.52

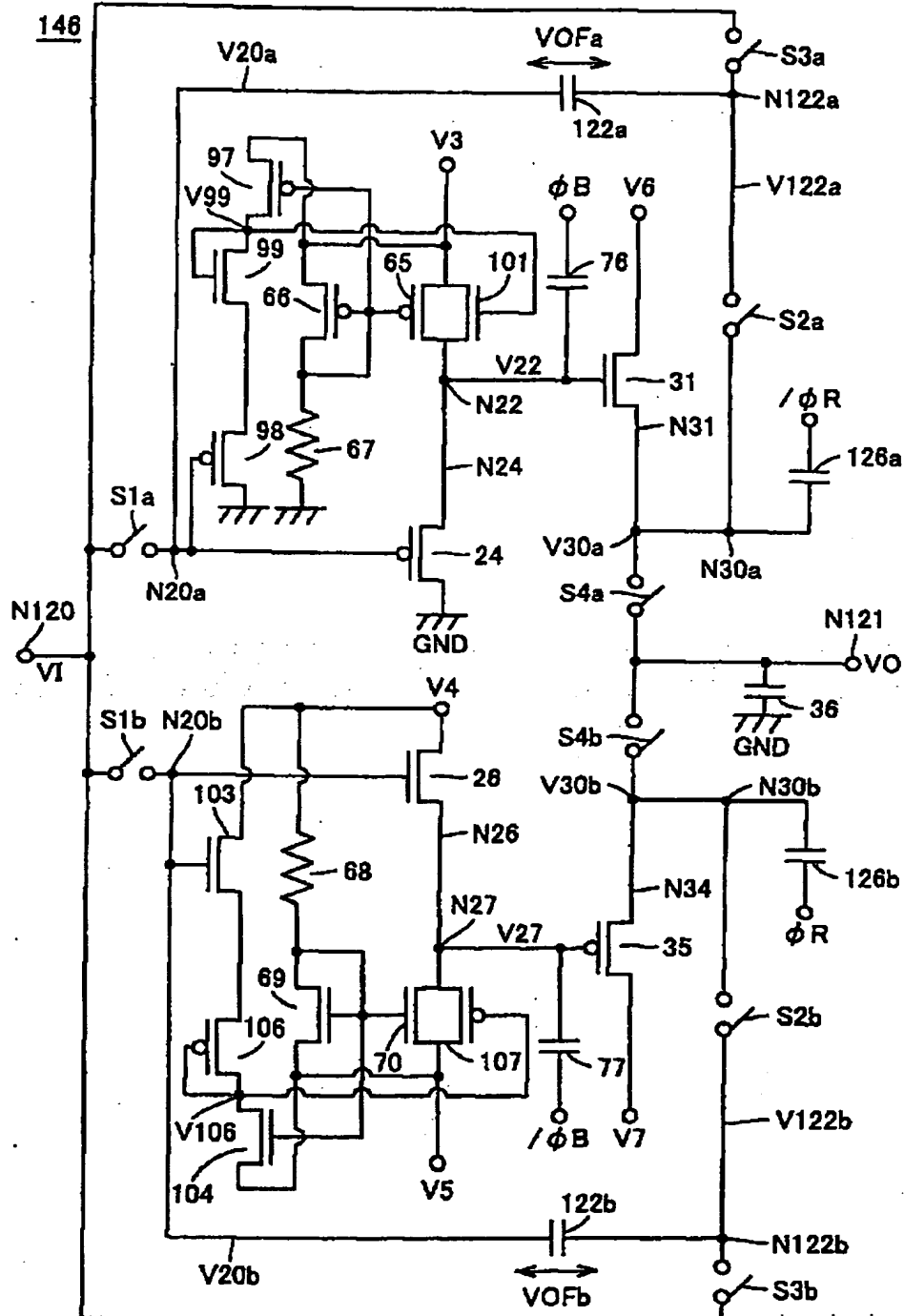


FIG.53

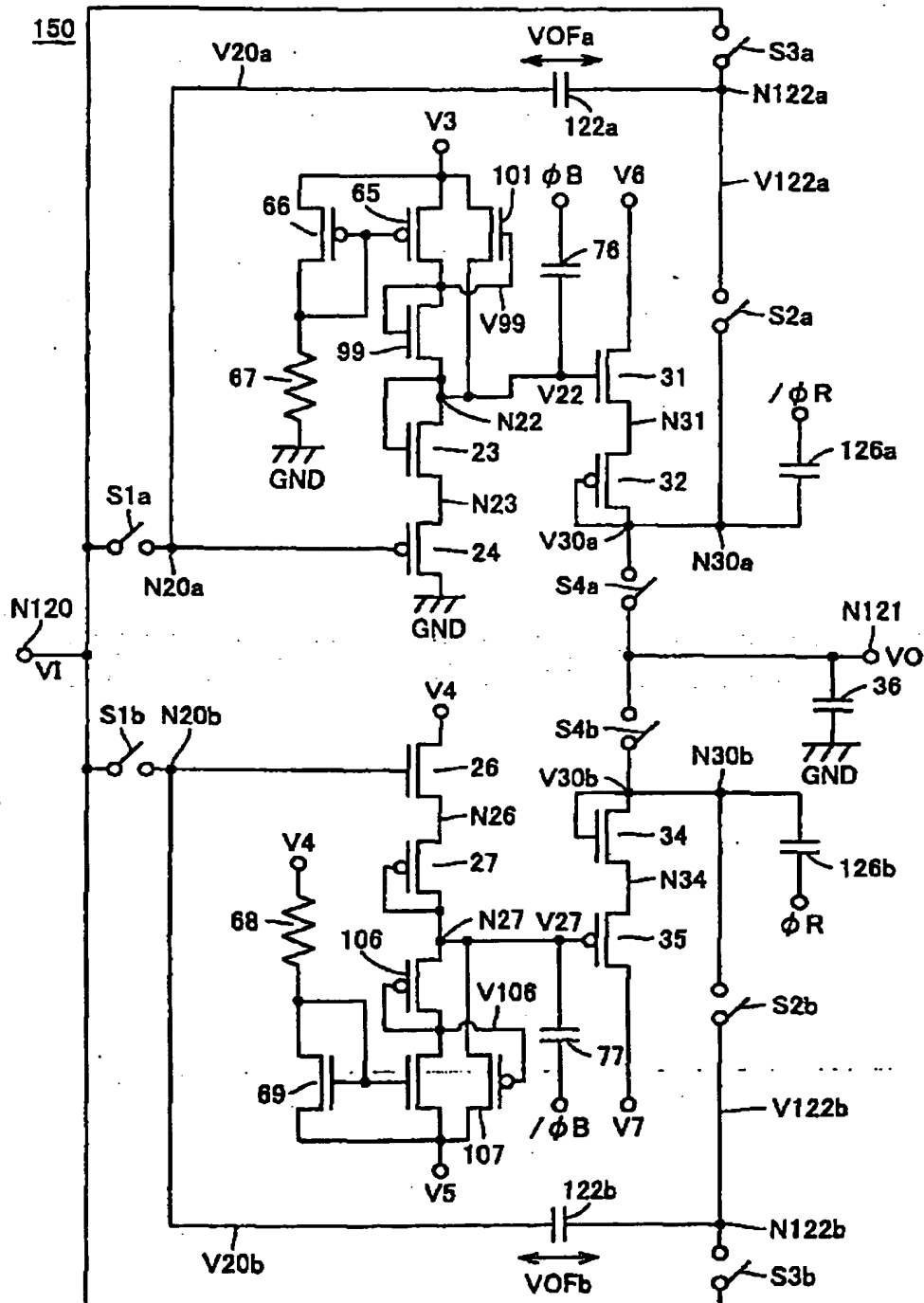
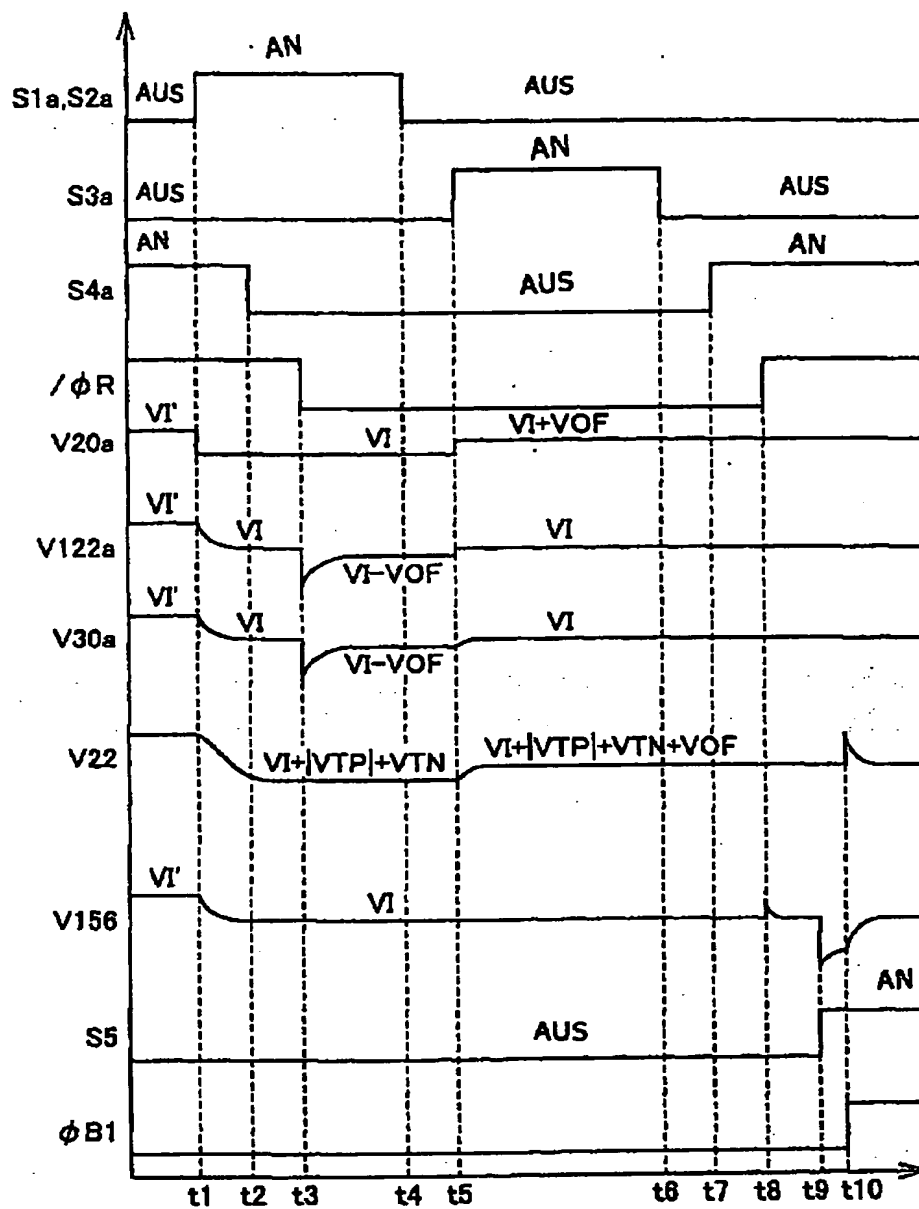


FIG.56



Zeit t

FIG.57

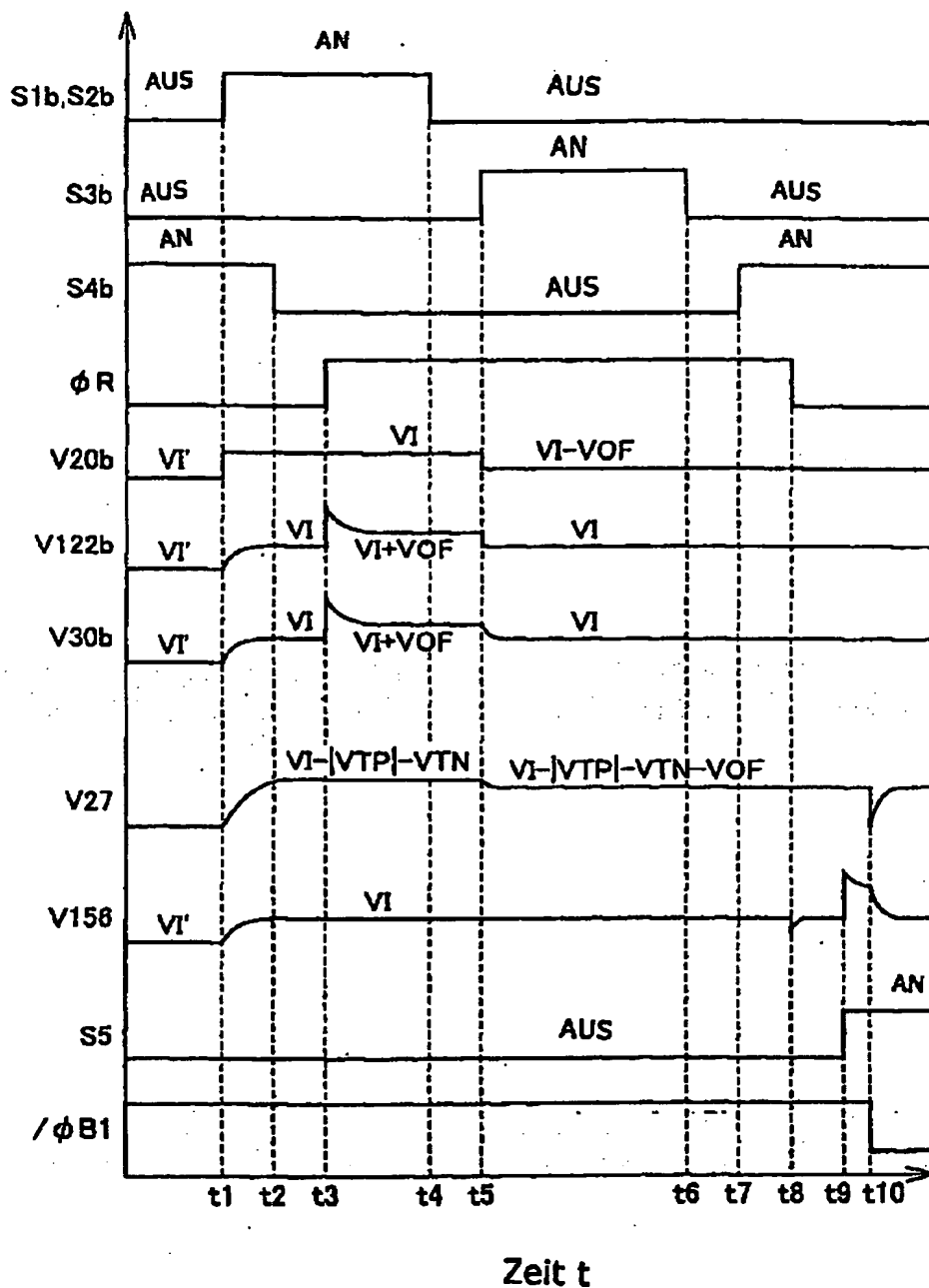


FIG.58

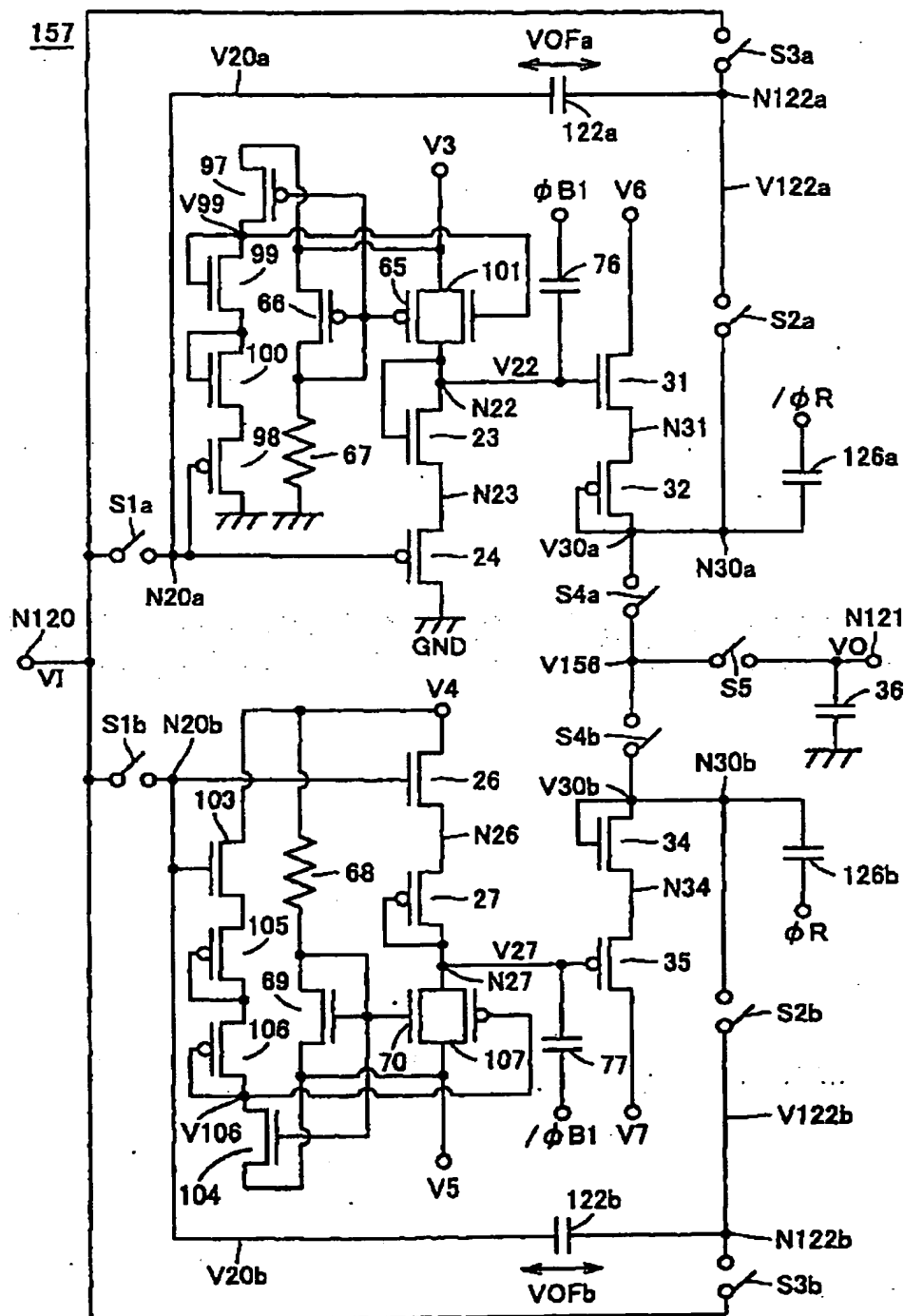


FIG.59

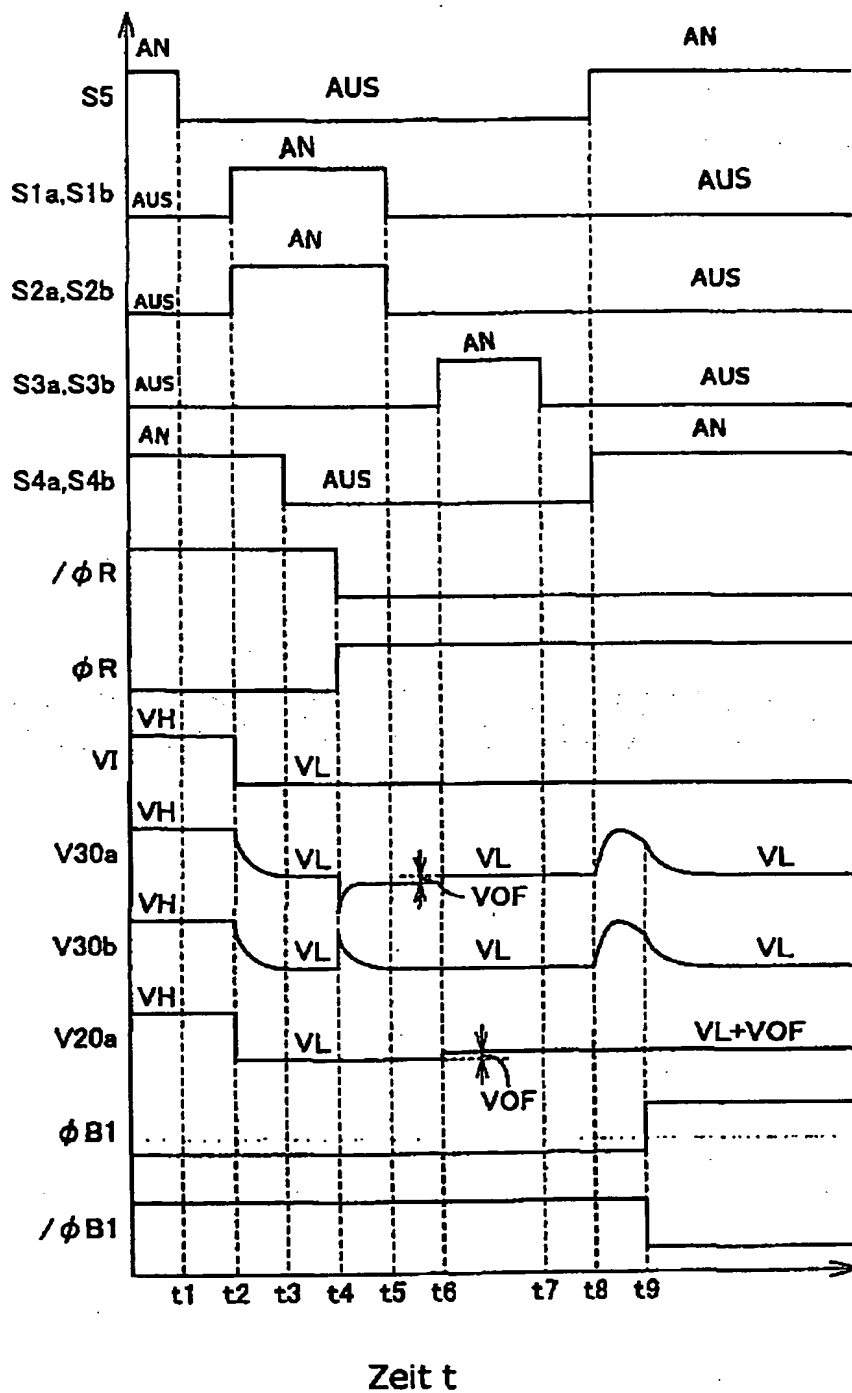


FIG.60

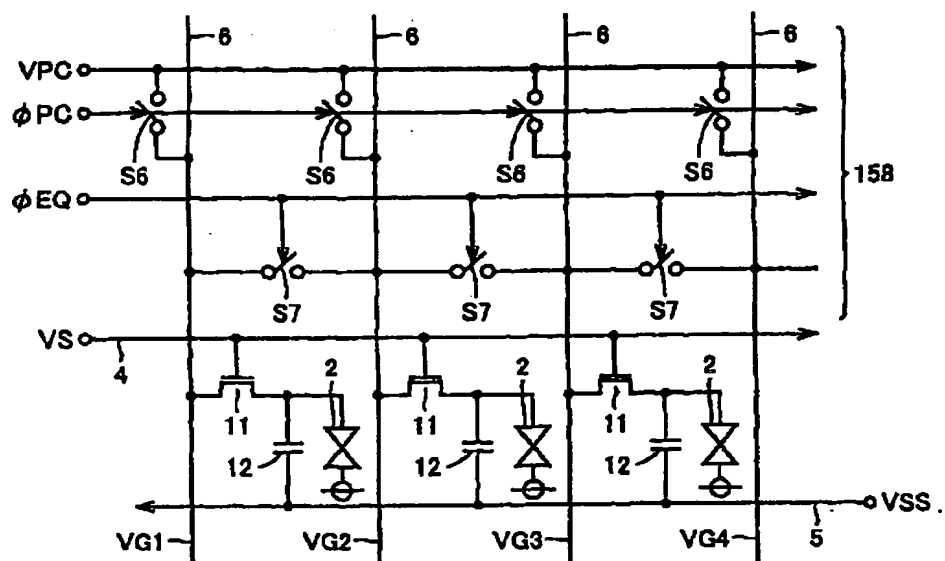


FIG.61

180

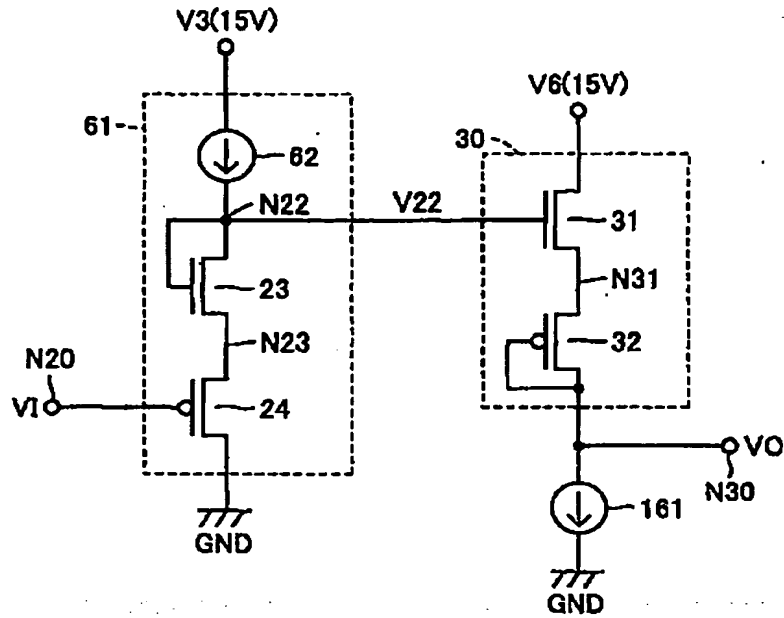


FIG.62

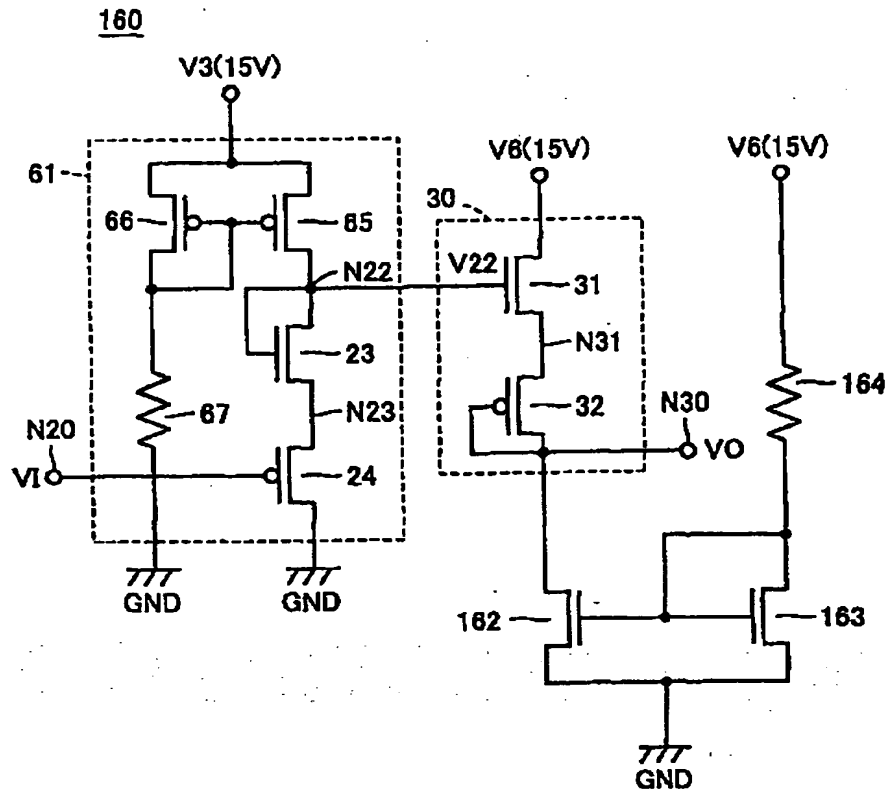


FIG.63

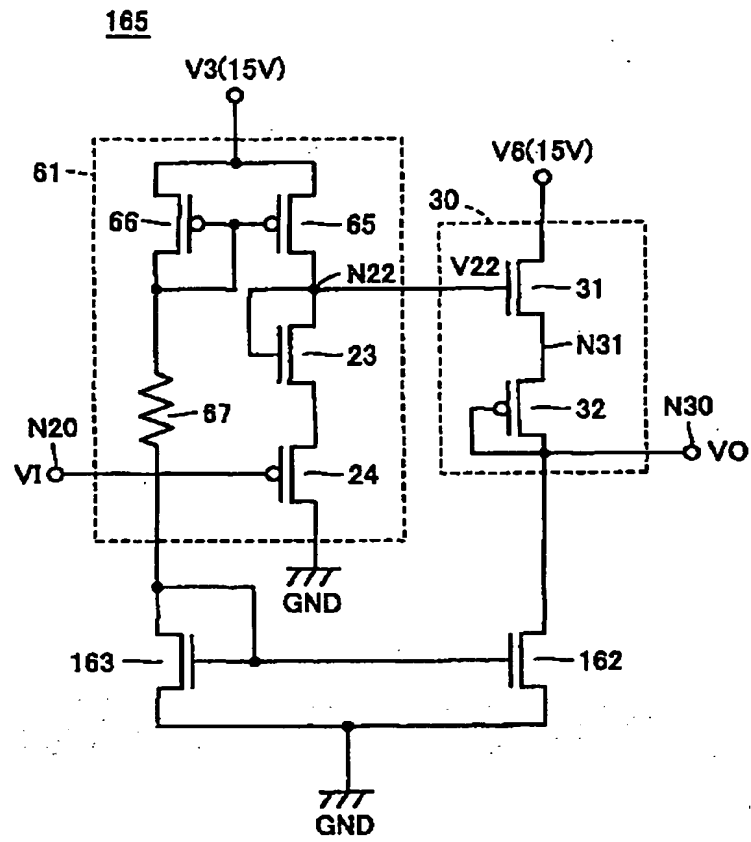


FIG.64

166

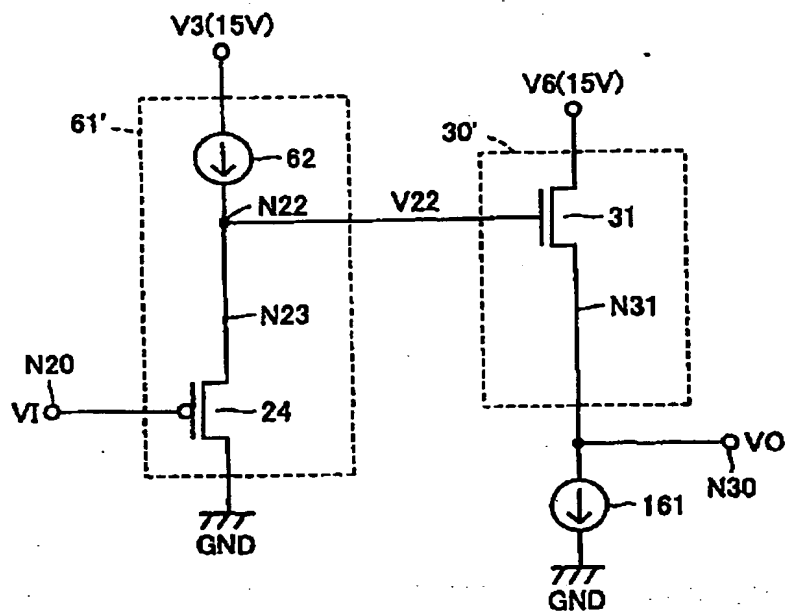


FIG.65

170

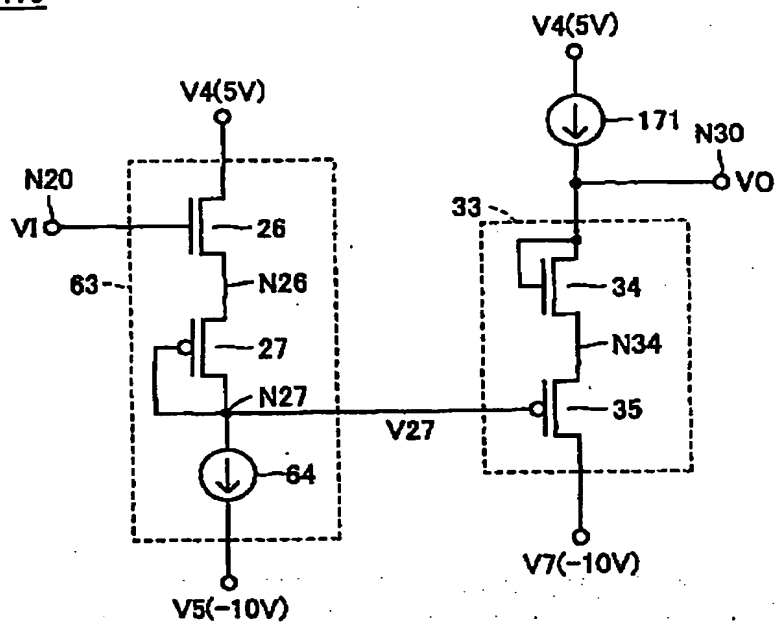


FIG.66

172

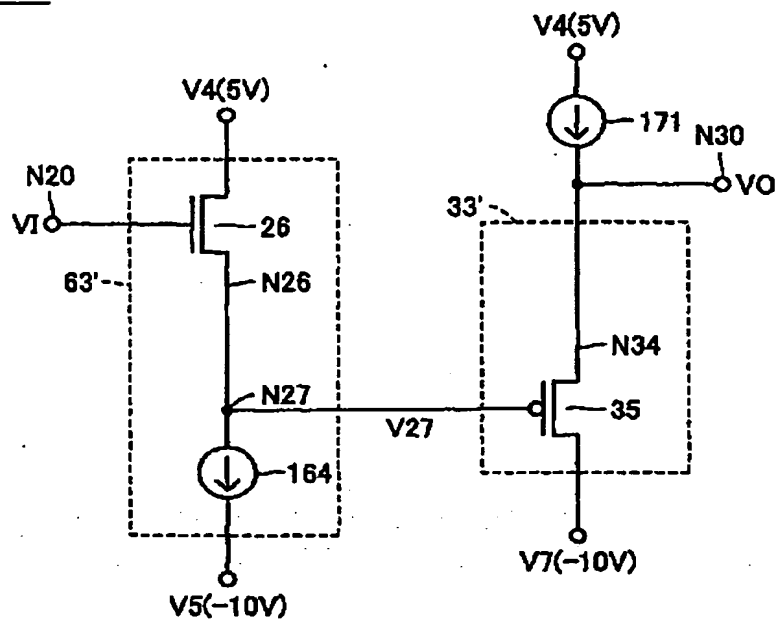


FIG.67

175

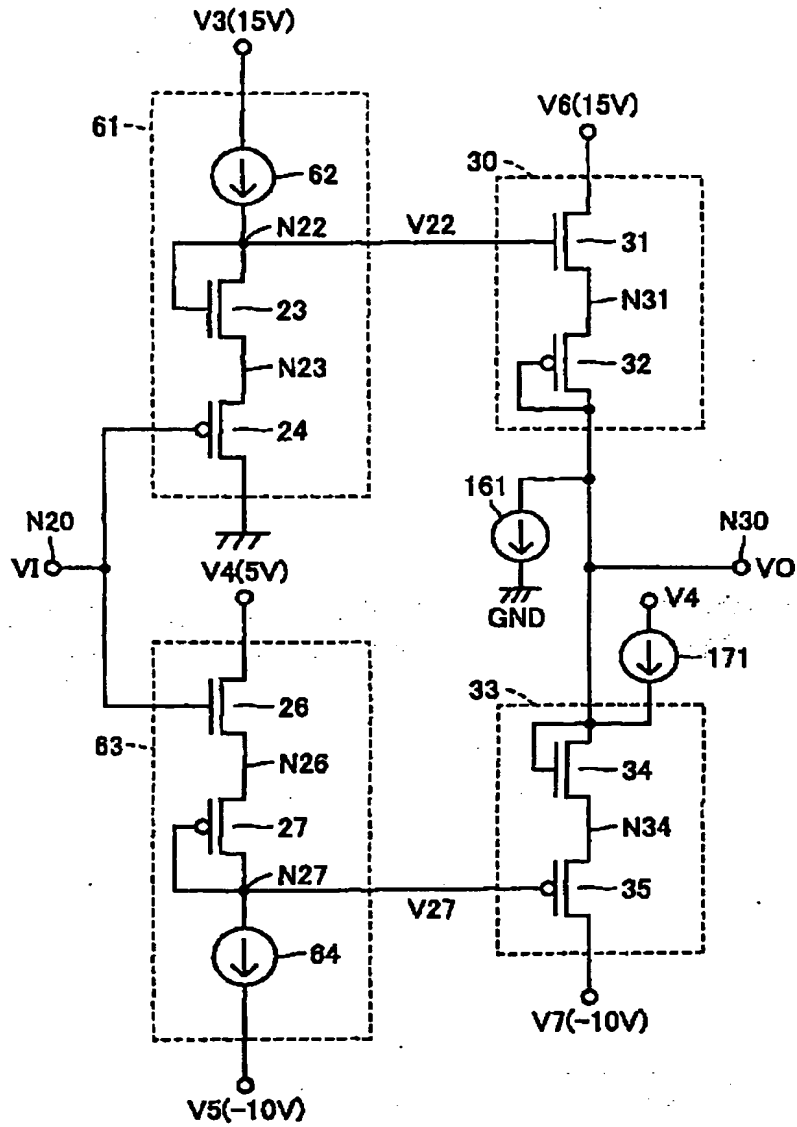


FIG.68

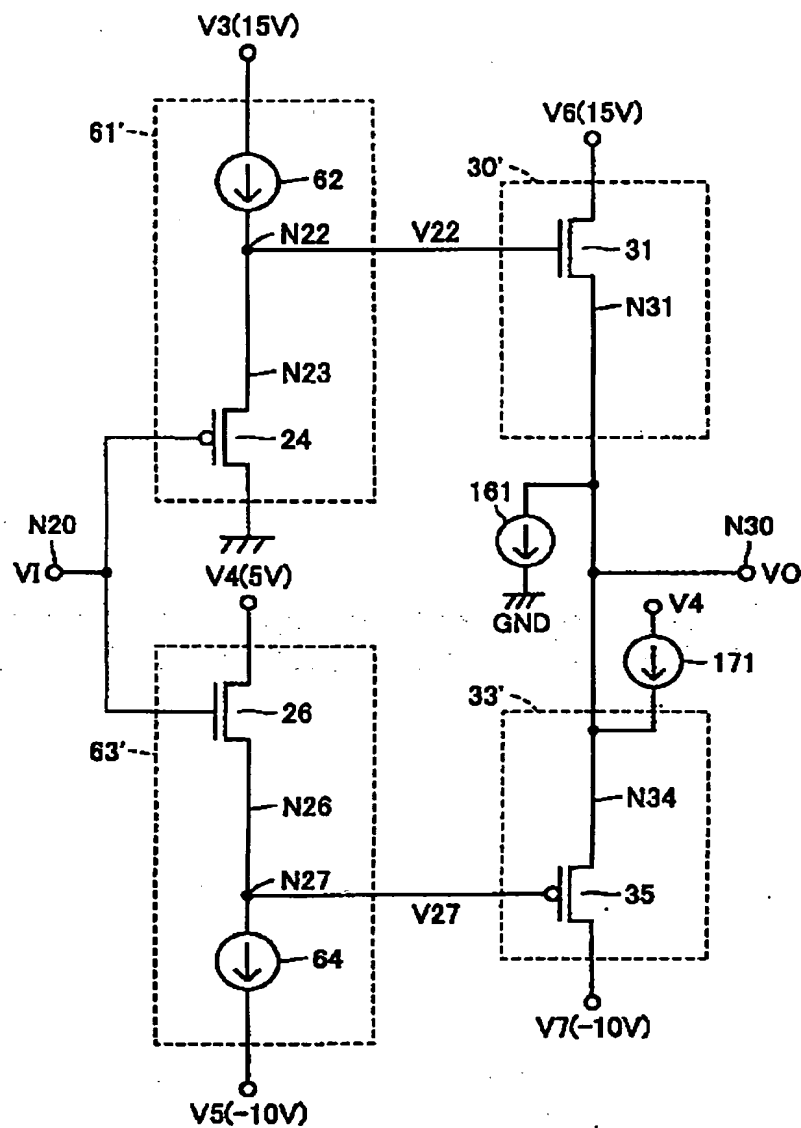
176

FIG.69

180

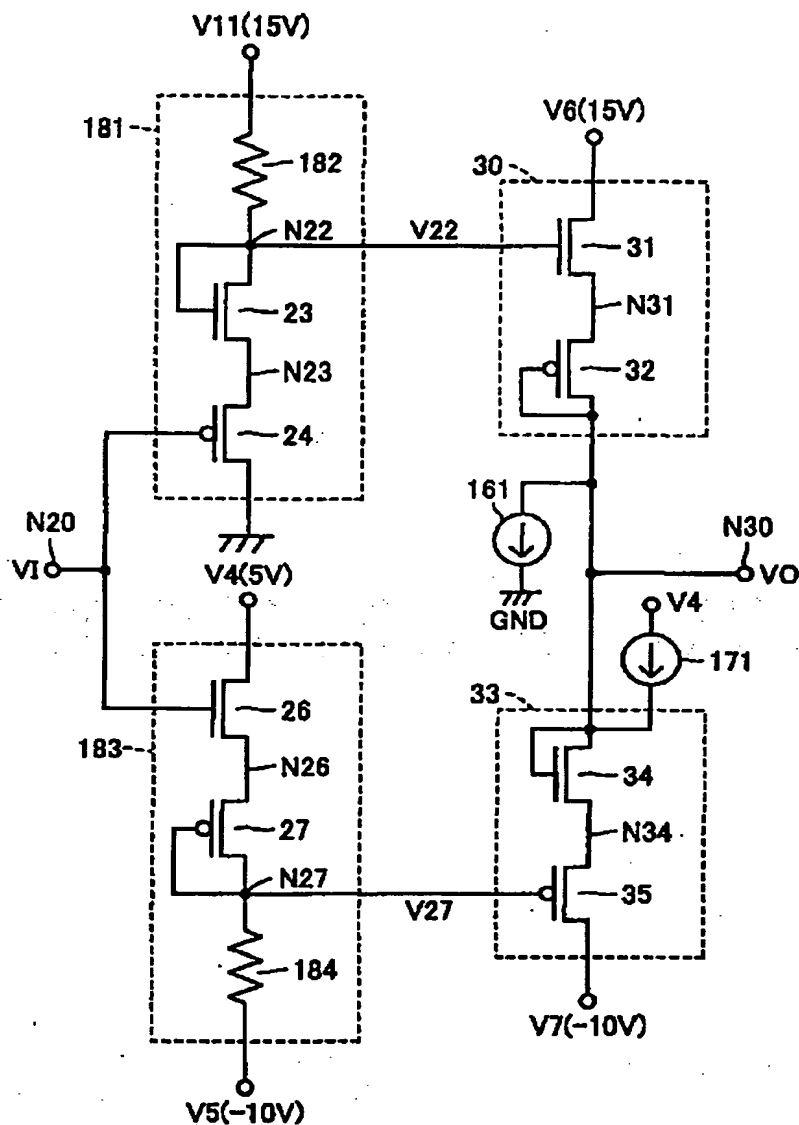


FIG.70

185

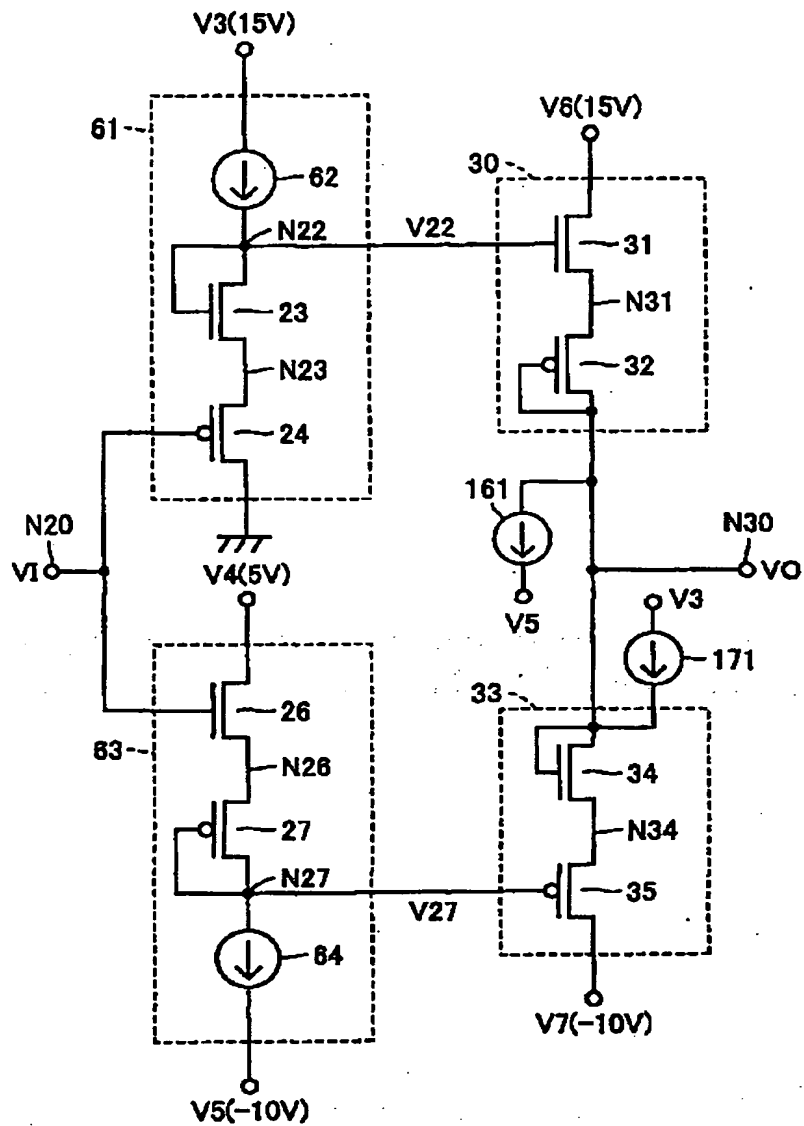


FIG. 71

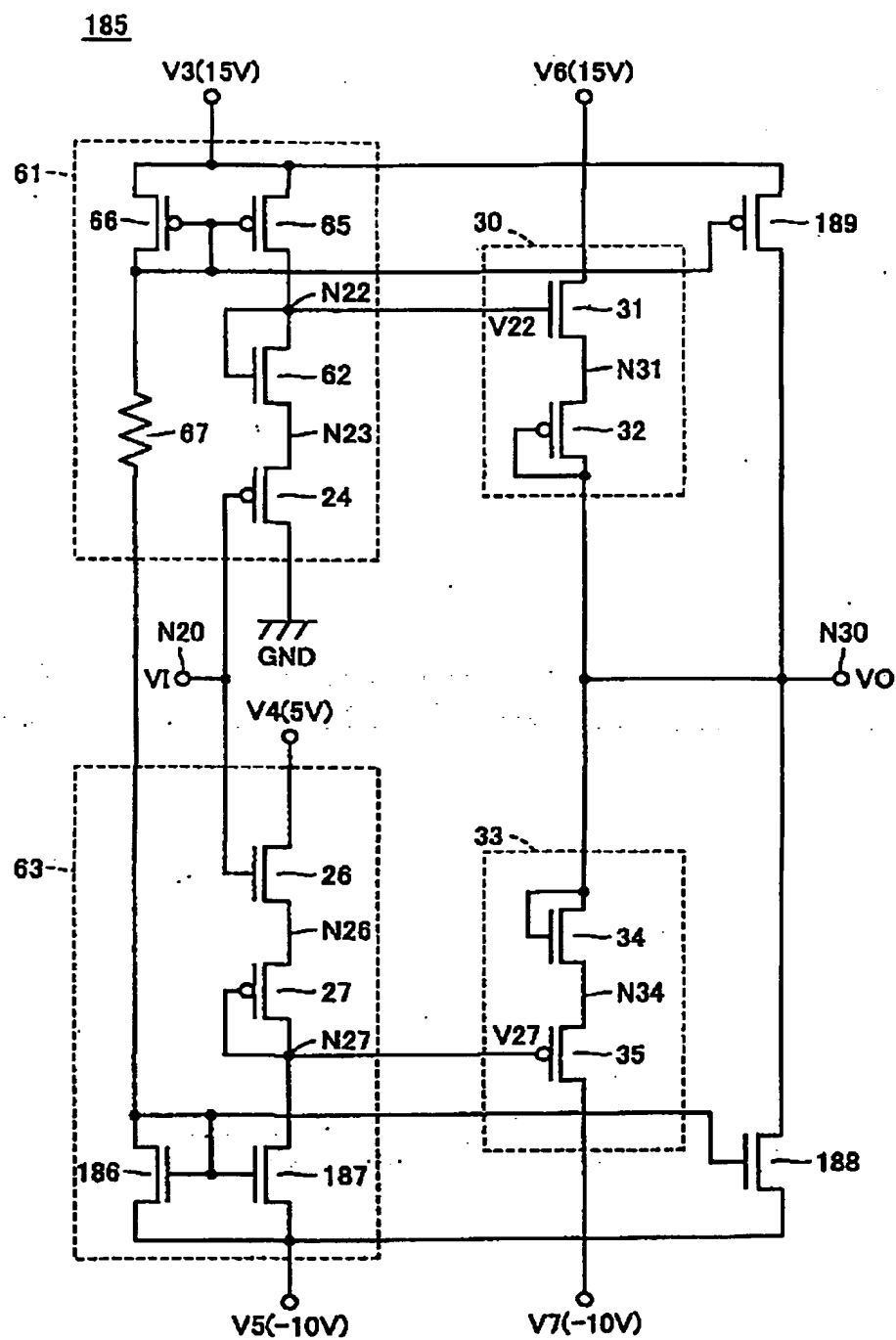


FIG.72

190

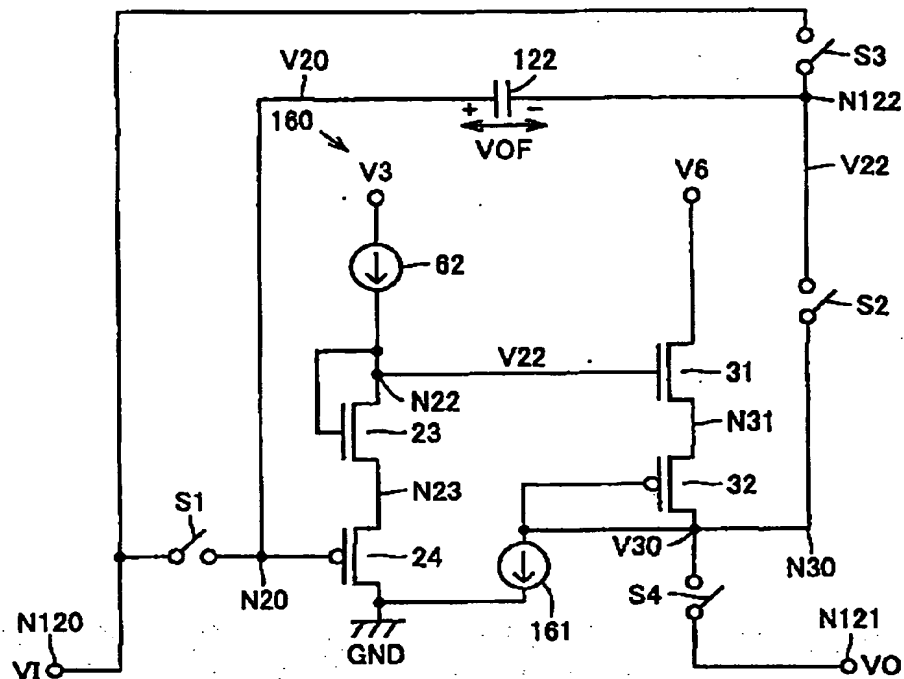


FIG.73

191

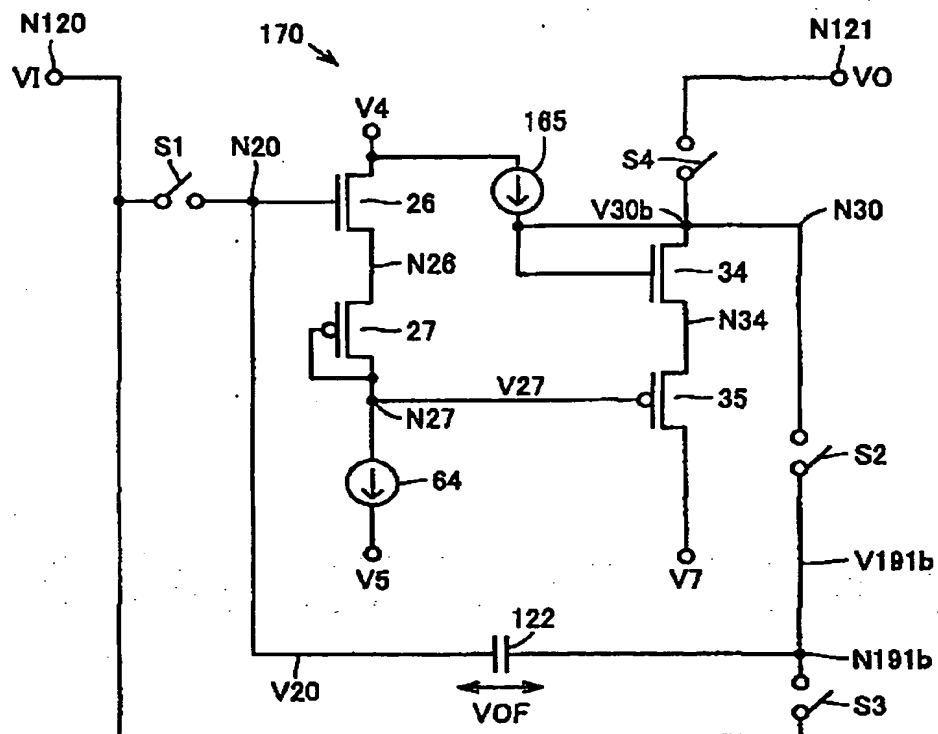


FIG. 74

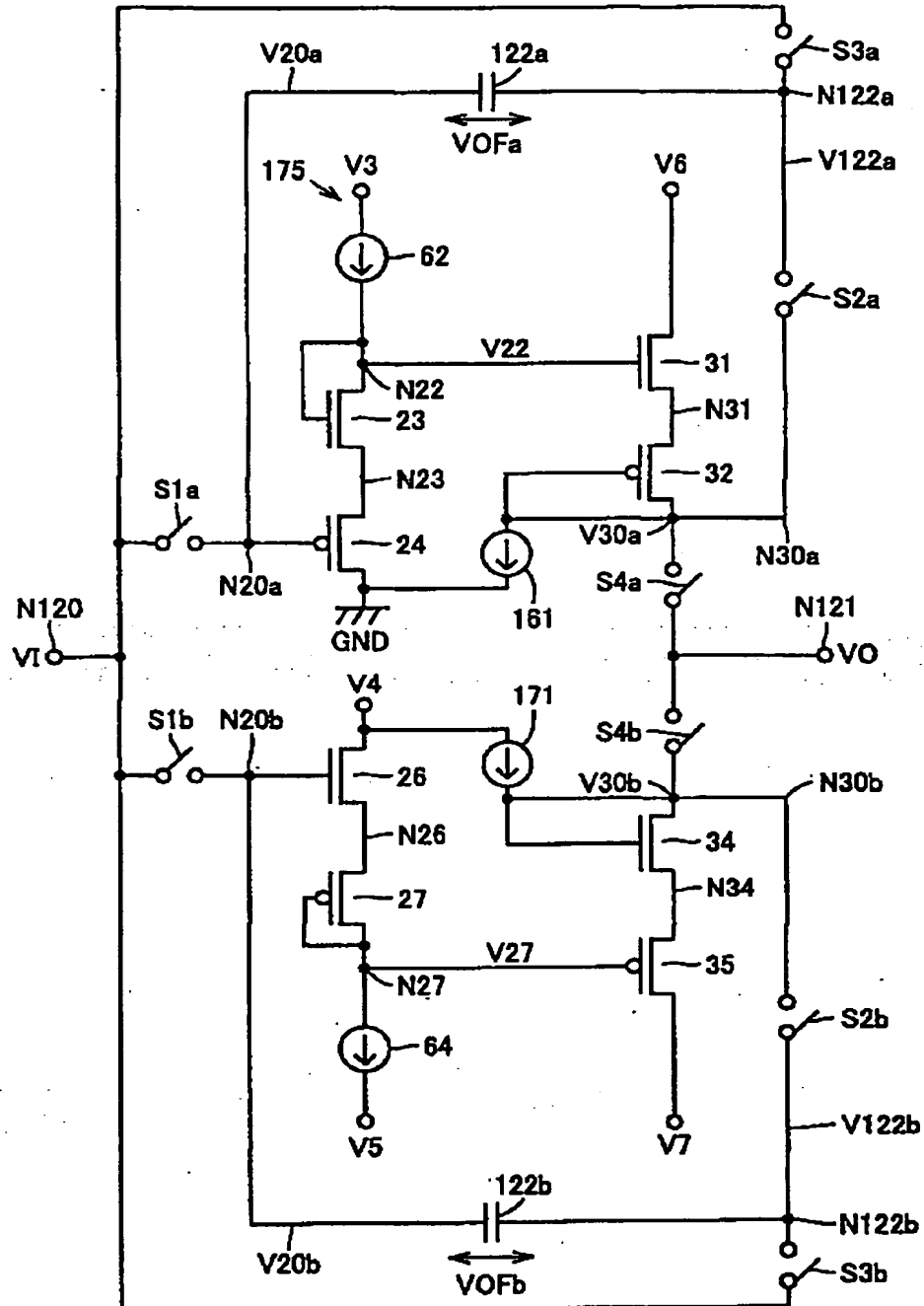
195

FIG.75

196

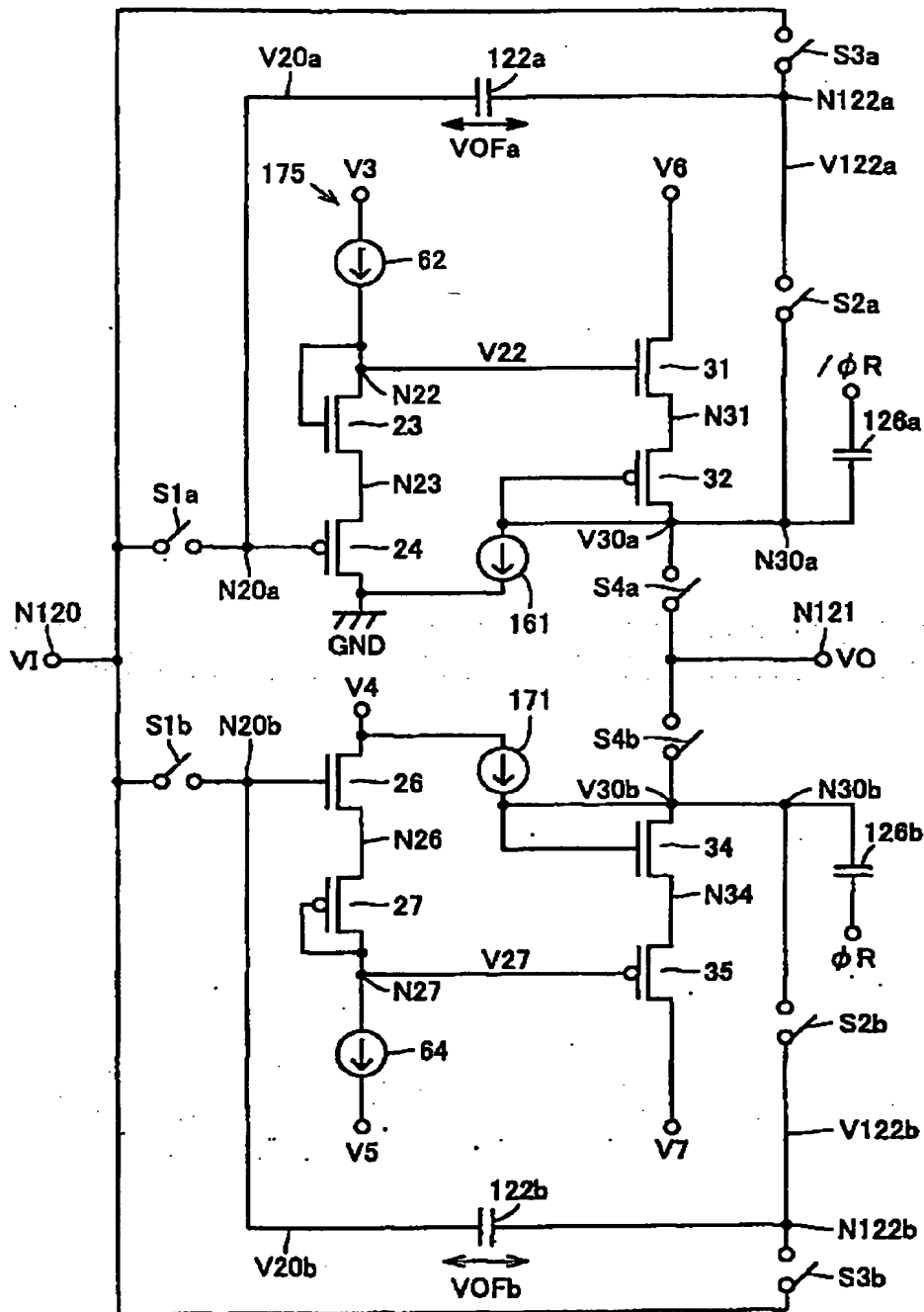
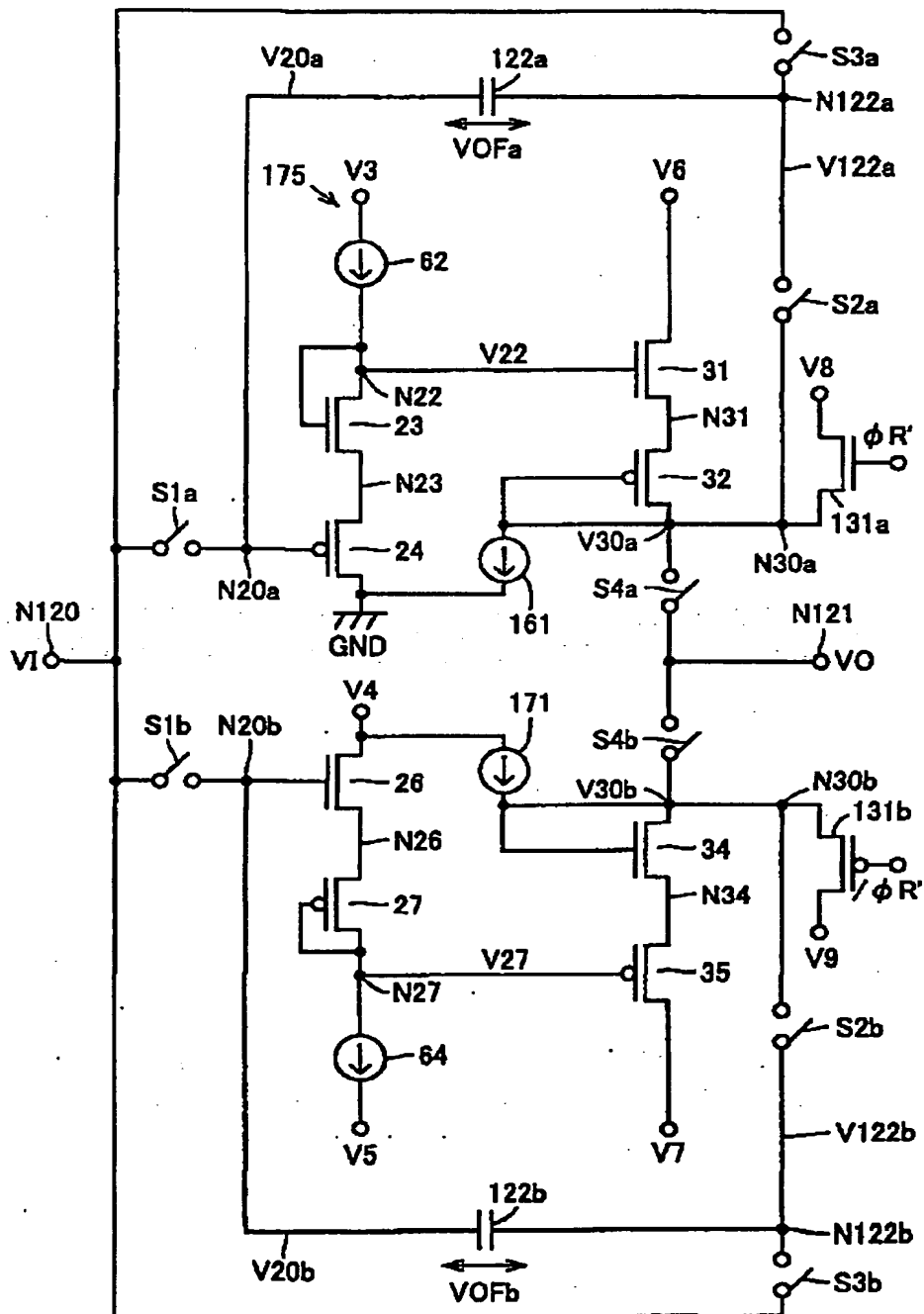


FIG. 76

197



198

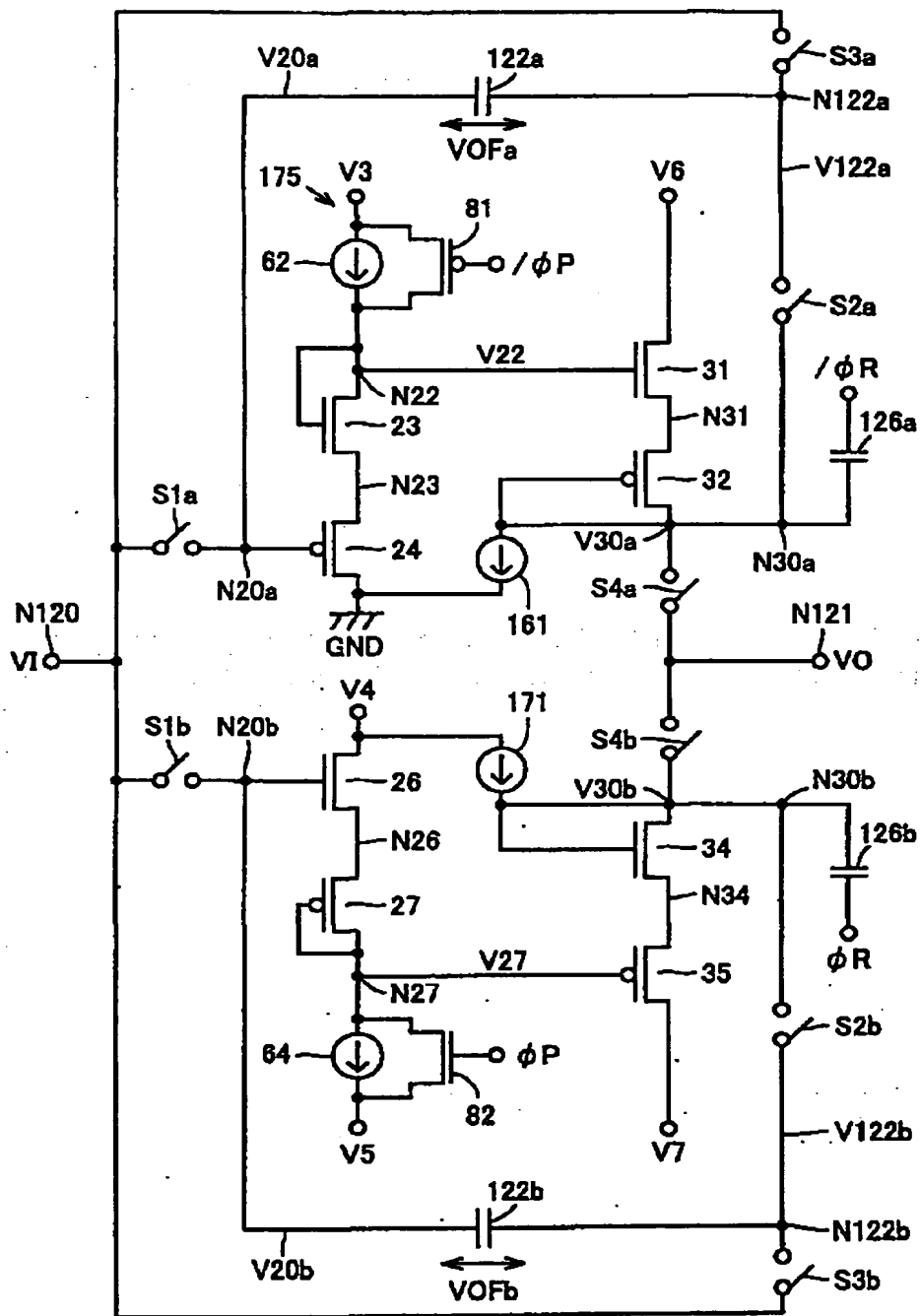
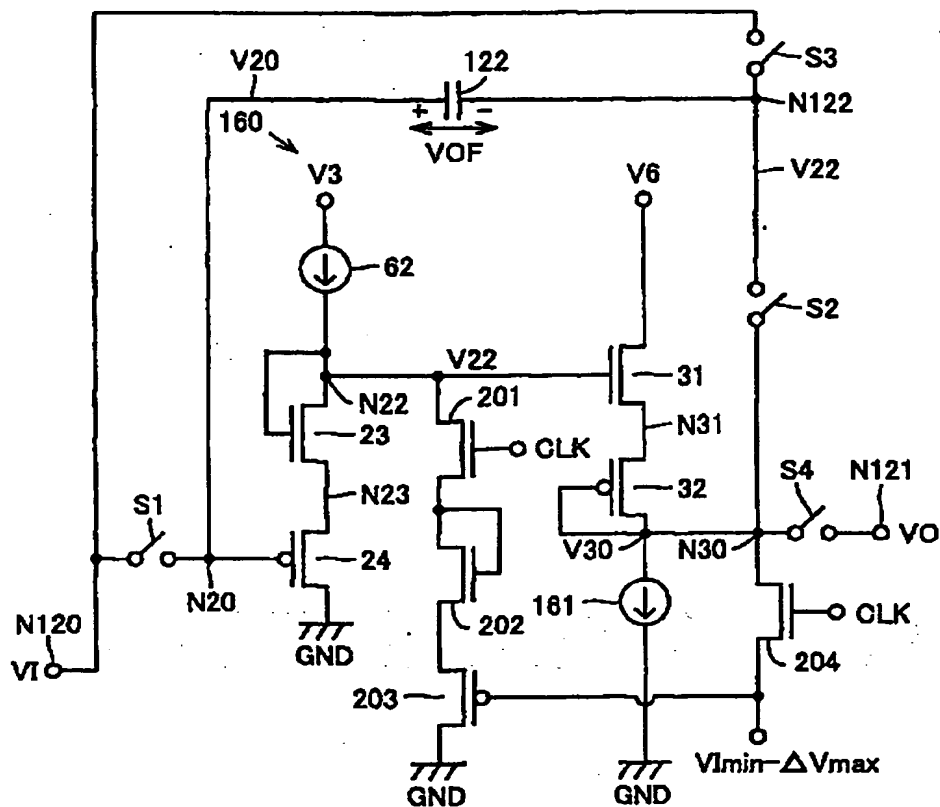


FIG.78

200



210

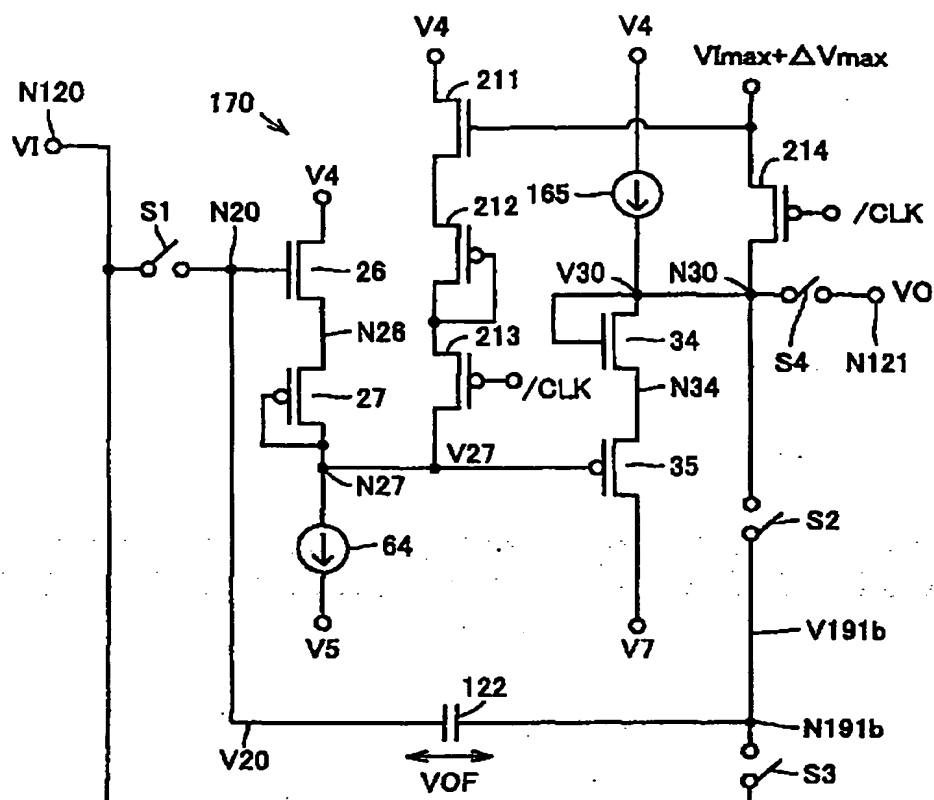


FIG.80

300

